

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Tae YAMANE et al.

Serial No.: 10/681,283

Filed: October 9, 2003

For: SEMICONDUCTOR DEVICE AND FABRICATION METHOD OF THE SAME

Attn: Applications Branch

Attorney Docket No.: OKI.586

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the International Convention of the following Japanese application:

Appln. No. 2002-301019


filed October 15, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 26, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月15日

出 願 番 号
Application Number:

特願2002-301019

[ST.10/C]:

[JP2002-301019]

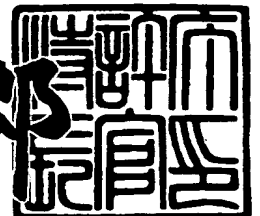
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3006960

【書類名】 特許願

【整理番号】 TA000174

【提出日】 平成14年10月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 山根 多恵

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 鹿角 譲治

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 深谷 清久

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、及びその製造方法

【特許請求の範囲】

【請求項 1】 集積回路が形成された表面及び裏面を有し、積層された複数の半導体チップと、

前記複数の半導体チップの集積回路間を電氣的に接続する第 1 の配線と、

前記第 1 の配線と電氣的に接続された外部端子と、

前記複数の半導体チップ及び前記第 1 の配線を封止する封止樹脂と、

を備えることを特徴とする半導体装置。

【請求項 2】 前記複数の半導体チップは、第 1 及び第 2 の半導体チップを含み、

前記第 2 の半導体チップは、前記第 2 の半導体チップの裏面が前記第 1 の半導体チップの表面と対面するように、前記第 1 の半導体チップ上に搭載されており、

前記第 2 の半導体チップの表面上には、表面保護膜が設けられていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記複数の半導体チップは、第 1 及び第 2 の半導体チップを含み、

前記第 2 の半導体チップは、前記第 2 の半導体チップの裏面が前記第 1 の半導体チップの表面と対面するように、前記第 1 の半導体チップ上に搭載されており、

前記第 1 の半導体チップの表面に形成され、前記集積回路と電氣的に接続された複数のパッド電極と、

隣り合う前記パッド電極を接続する第 2 の配線と、

前記第 2 の配線上に形成され、前記第 2 の配線及び前記外部端子の間を電氣的に接続する柱状電極と、

を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記柱状電極は、前記第 2 の配線の略中央部付近に形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記複数の半導体チップは、第 1 及び第 2 の半導体チップを含み、

前記第 2 の半導体チップは、前記第 2 の半導体チップの裏面が前記第 1 の半導体チップの表面と対面するように、前記第 1 の半導体チップ上に搭載されており、

前記第 1 の配線上に形成され、前記第 1 の配線及び前記外部端子の間を電氣的に接続する第 1 の柱状電極と、

前記第 1 の半導体チップの縁近傍の表面上に、前記第 1 の柱状電極と実質的に同時に形成された第 2 の柱状電極であって、前記第 1 の半導体チップの縁を認識するための第 2 の柱状電極と、

を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記複数の半導体チップは、第 1 及び第 2 の半導体チップを含み、

前記第 2 の半導体チップは、前記第 2 の半導体チップの表面が前記第 1 の半導体チップの表面と対面するように、前記第 1 の半導体チップ上に搭載されており、

前記第 1 の配線及び前記外部端子の間を電氣的に接続する複数の柱状電極であって、前記第 2 の半導体チップを囲むように第 1 の配線上に形成された複数の柱状電極と、

前記柱状電極の周囲を封止する第 1 の封止樹脂と、

前記第 2 の半導体チップを封止する第 2 の封止樹脂と、

を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記複数の半導体チップは、第 1 及び第 2 の半導体チップを含み、

前記第 2 の半導体チップは、前記第 2 の半導体チップの表面に形成された第 1 の封止樹脂と、前記第 2 の半導体チップの集積回路と電氣的に接続され前記第 1 の封止樹脂から突出した突起電極と、を有し、

前記第 2 の半導体チップは、前記突起電極が前記第 1 の配線と接続するように、前記半導体チップ上に搭載されていることを特徴とする請求項 1 に記載の半導

体装置。

【請求項 8】 前記第 1 の配線には開口部が設けられており、前記突起電極は前記第 1 の配線の開口部上に位置していることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記第 1 の配線には凹部が設けられており、前記突起電極は前記第 1 の配線の凹部上に位置していることを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】 前記突起電極と前記第 1 の配線とが、接着材料を介して接続されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 11】 前記複数の半導体装置は第 1 及び第 2 の半導体チップを含み、

前記第 2 の半導体チップの表面と前記第 1 の半導体チップの表面とが接着材料を介して接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】 前記複数の半導体チップは第 1 乃至第 3 の半導体チップを含み、

前記第 2 の半導体チップは、前記第 2 の半導体チップの表面が前記第 1 の半導体チップの表面と対面するように、前記第 1 の半導体チップ上に搭載されており、

前記第 3 の半導体チップは、前記第 3 の半導体チップの裏面が前記第 2 の半導体チップの裏面と対面するように、前記第 2 の半導体チップ上に搭載されている

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 13】 請求項 6 に記載の半導体装置を製造する半導体装置の製造方法であって、

前記第 1 の半導体チップ上に前記第 1 の配線を形成する工程と、

前記第 1 の配線上の複数の第 1 の領域に位置する開口部を有する絶縁性のマスク層を、前記第 1 の半導体チップ上に形成する工程と、

前記マスク層の開口部に前記柱状電極を形成する工程と、

複数の前記第 1 の領域に囲まれた第 2 の領域に位置する前記マスク層を除去す

る工程と、

前記第 2 の領域上に前記第 2 の半導体チップを搭載する工程と、

前記第 2 の半導体チップの周囲を前記第 2 の封止樹脂によって封止する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 8 又は 9 に記載の半導体装置を製造する半導体装置の製造方法であって、

前記第 1 の半導体チップ上に前記第 1 の配線を形成する工程と、

前記第 1 の配線の一部に凹部或いは開口部を形成する工程と、

前記第 2 の半導体チップの突起電極が前記凹部或いは前記開口部に位置するように前記第 2 の半導体チップを前記第 1 の半導体チップ上に搭載する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 4 に記載の半導体装置の製造方法において、

前記第 1 の配線の一部に凹部を形成する工程は、複数回のめっき処理によって形成されることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 4 に記載の半導体装置の製造方法であって、

前記第 1 の半導体チップ上に前記第 1 の配線を形成する工程は、前記第 1 の半導体チップ上に、開口部を有する絶縁膜を形成する工程を含み、

前記第 1 の配線の一部に凹部を形成する工程は、前記開口部及び前記絶縁膜上に前記第 1 の配線を形成する工程を含み、

前記凹部は、前記第 1 の配線が前記絶縁膜の開口部上に形成されることを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 7 に記載の半導体装置を製造する半導体装置の製造方法であって、

前記第 2 の半導体チップを前記第 1 の半導体チップ上に搭載する工程と、

前記第 1 及び第 2 の半導体チップを樹脂によって封止する工程と、

前記樹脂及び前記第 2 の半導体チップの裏面を切削する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、C S P（チップサイズパッケージ）を用い、マルチチップ化した半導体装置（M C P（マルチチップパッケージ））、及びその製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、電子機器の小型化に伴い、半導体装置を搭載する際、高密度搭載を可能にするため、半導体チップとほぼ同一のサイズをもつC S P（チップサイズパッケージ）と称する半導体パッケージがある。そして、この複数のC S Pと同様に、高密度化して搭載する目的で、単一パッケージに半導体チップを内蔵してマルチチップ化したM C P（マルチチップパッケージ）がある（例えば、特許文献1）。

【 0 0 0 3 】

上記文献1などに記載された従来の半導体チップをマルチチップ化したM C Pの構造の一例を図5 1に示す。図5 1に示す半導体装置1 0 0は、インタポータとして機能する絶縁基板9 0上に第1の半導体チップ9 0と第2の半導体チップ9 2が積層され、ワイヤ9 4により、互いの集積回路と外部端子としてのボール電極9 6とが電氣的に接続され封止樹脂9 8により封止されている。

【 0 0 0 4 】

【特許文献1】

特開平2 0 0 0 - 1 1 0 8 9 8号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記構成のM C Pでは、インターポーターと呼ばれる基板上に半導体チップが積層されており、今後、実装面積の小面積化を図る上で現状のM C P構造では市場のP K Gの小型化に対する要求に対応できないことが予想される。また、半導体チップの結線には、ワイヤーボンディングが採用されており、複雑な配線には対応できなく、やはり、今後、実装面積の小面積化を図る上では

改善が求められている。

【 0 0 0 6 】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の目的は、実装面積の小面積化を図ってマルチチップ化した半導体装置、及びその製造方法を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、本発明は、

(1) 集積回路が形成された表面及び裏面を有し、積層された複数の半導体チップと、

前記複数の半導体チップの集積回路間を電氣的に接続する第1の配線と、

前記第1の配線と電氣的に接続された外部端子と、

前記複数の半導体チップ及び前記第1の配線を封止する封止樹脂と、

を備えることを特徴とする半導体装置。

(2) 前記複数の半導体チップは、第1及び第2の半導体チップを含み、

前記第2の半導体チップは、前記第2の半導体チップの裏面が前記第1の半導体チップの表面と対面するように、前記第1の半導体チップ上に搭載されており

前記第2の半導体チップの表面上には、表面保護膜が設けられていることを特徴とする前記(1)に記載の半導体装置。

(3) 前記複数の半導体チップは、第1及び第2の半導体チップを含み、

前記第2の半導体チップは、前記第2の半導体チップの裏面が前記第1の半導体チップの表面と対面するように、前記第1の半導体チップ上に搭載されており

前記第1の半導体チップの表面に形成され、前記集積回路と電氣的に接続された複数のパッド電極と、

隣り合う前記パッド電極を接続する第2の配線と、

前記第2の配線上に形成され、前記第2の配線及び前記外部端子の間を電氣的に接続する柱状電極と、

を有することを特徴とする前記（１）に記載の半導体装置。

（４） 前記柱状電極は、前記第２の配線の略中央部付近に形成されていることを特徴とする前記（３）に記載の半導体装置。

（５） 前記複数の半導体チップは、第１及び第２の半導体チップを含み、
前記第２の半導体チップは、前記第２の半導体チップの裏面が前記第１の半導体チップの表面と対面するように、前記第１の半導体チップ上に搭載されており

前記第１の配線上に形成され、前記第１の配線及び前記外部端子の間を電氣的に接続する第１の柱状電極と、

前記第１の半導体チップの縁近傍の表面上に、前記第１の柱状電極と実質的に同時に形成された第２の柱状電極であって、前記第１の半導体チップの縁を認識するための第２の柱状電極と、

を有することを特徴とする前記（１）に記載の半導体装置。

（６） 前記複数の半導体チップは、第１及び第２の半導体チップを含み、
前記第２の半導体チップは、前記第２の半導体チップの表面が前記第１の半導体チップの表面と対面するように、前記第１の半導体チップ上に搭載されており

前記第１の配線及び前記外部端子の間を電氣的に接続する複数の柱状電極であって、前記第２の半導体チップを囲むように第１の配線上に形成された複数の柱状電極と、

前記柱状電極の周囲を封止する第１の封止樹脂と、

前記第２の半導体チップを封止する第２の封止樹脂と、

を有することを特徴とする前記（１）に記載の半導体装置。

（７） 前記複数の半導体チップは、第１及び第２の半導体チップを含み、
前記第２の半導体チップは、前記第２の半導体チップの表面に形成された第１の封止樹脂と、前記第２の半導体チップの集積回路と電氣的に接続され前記第１の封止樹脂から突出した突起電極と、を有し、

前記第２の半導体チップは、前記突起電極が前記第１の配線と接続するように、前記半導体チップ上に搭載されていることを特徴とする前記（１）に記載の半

導体装置。

(8) 前記第 1 の配線には開口部が設けられており、前記突起電極は前記第 1 の配線の開口部上に位置していることを特徴とする前記 (7) に記載の半導体装置。

(9) 前記第 1 の配線には凹部が設けられており、前記突起電極は前記第 1 の配線の凹部上に位置していることを特徴とする前記 (7) に記載の半導体装置。

(1 0) 前記突起電極と前記第 1 の配線とが、接着材料を介して接続されていることを特徴とする前記 (7) に記載の半導体装置。

(1 1) 前記複数の半導体装置は第 1 及び第 2 の半導体チップを含み、
前記第 2 の半導体チップの表面と前記第 1 の半導体チップの表面とが接着材料を介して接続されていることを特徴とする前記 (1) に記載の半導体装置。

(1 2) 前記複数の半導体チップは第 1 乃至第 3 の半導体チップを含み、
前記第 2 の半導体チップは、前記第 2 の半導体チップの表面が前記第 1 の半導体チップの表面と対面するように、前記第 1 の半導体チップ上に搭載されており、

前記第 3 の半導体チップは、前記第 3 の半導体チップの裏面が前記第 2 の半導体チップの裏面と対面するように、前記第 2 の半導体チップ上に搭載されている

ことを特徴とする前記 (1) に記載の半導体装置。

(1 3) 前記 (6) に記載の半導体装置を製造する半導体装置の製造方法であって、

前記第 1 の半導体チップ上に前記第 1 の配線を形成する工程と、
前記第 1 の配線上の複数の第 1 の領域に位置する開口部を有する絶縁性のマスク層を、前記第 1 の半導体チップ上に形成する工程と、

前記マスク層の開口部に前記柱状電極を形成する工程と、
複数の前記第 1 の領域に囲まれた第 2 の領域に位置する前記マスク層を除去する工程と、

前記第 2 の領域上に前記第 2 の半導体チップを搭載する工程と、
前記第 2 の半導体チップの周囲を前記第 2 の封止樹脂によって封止する工程と

を有することを特徴とする半導体装置の製造方法。

(14) 前記(8)又は(9)に記載の半導体装置を製造する半導体装置の製造方法であって、

前記第1の半導体チップ上に前記第1の配線を形成する工程と、

前記第1の配線の一部に凹部或いは開口部を形成する工程と、

前記第2の半導体チップの突起電極が前記凹部或いは前記開口部に位置するように前記第2の半導体チップを前記第1の半導体チップ上に搭載する工程と、

を有することを特徴とする半導体装置の製造方法。

(15) 前記(14)に記載の半導体装置の製造方法において、

前記第1の配線の一部に凹部を形成する工程は、複数回のめっき処理によって形成されることを特徴とする半導体装置の製造方法。

(16) 前記(14)に記載の半導体装置の製造方法であって、

前記第1の半導体チップ上に前記第1の配線を形成する工程は、前記第1の半導体チップ上に、開口部を有する絶縁膜を形成する工程を含み、

前記第1の配線の一部に凹部を形成する工程は、前記開口部及び前記絶縁膜上に前記第1の配線を形成する工程を含み、

前記凹部は、前記第1の配線が前記絶縁膜の開口部上に形成されることを特徴とする半導体装置の製造方法。

(17) 前記(7)に記載の半導体装置を製造する半導体装置の製造方法であって、

前記第2の半導体チップを前記第1の半導体チップ上に搭載する工程と、

前記第1及び第2の半導体チップを樹脂によって封止する工程と、

前記樹脂及び前記第2の半導体チップの裏面を切削する工程と、

を有することを特徴とする半導体装置の製造方法。

【0008】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によっては

その説明を省略することがある。

【 0 0 0 9 】

(第 1 の実施の形態)

図 1 は、第 1 の実施の形態に係る半導体装置の構造を示す断面図である。図 2 ～ 8 は、第 1 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【 0 0 1 0 】

図 1 に示す半導体装置 1 0 0 は、集積回路（図示せず）が形成された 1 s t 半導体チップ 1 0 （第 1 の半導体チップ）上に、集積回路（図示せず）が形成された 2 n d 半導体チップ 2 0 （第 2 の半導体チップ）が、チップ表面に対して略直交した方向に積層して搭載され、封止樹脂 4 0 により封止されている形態である。

【 0 0 1 1 】

1 s t 半導体チップ 1 0 上には、集積回路と電氣的に接続されているパッド電極 1 2 を有し、パッド電極 1 2 を有する以外の部分に第 1 絶縁膜 1 4 （例えばポリイミド）が形成されている。1 s t 半導体チップ 1 0 は、パッド電極 1 2 同士を電氣的に接続或いは 2 n d 半導体チップ 2 0 の集積回路と電氣的に接続するための第 1 再配線層 1 6 が形成され、その一部は、隣り合うパッド電極 1 2 を覆って形成されている（第 2 の配線）。そして、この第 1 再配線層 2 6 上に、2 n d 半導体チップ 2 0 の集積回路と電氣的に接続するための第 1 メタルポスト配線 1 8 が形成されている。

【 0 0 1 2 】

2 n d 半導体チップ 2 0 上には、集積回路と電氣的に接続されているパッド電極 2 2 を有し、さらに表面保護絶縁テープ 4 2 により表面が保護されている。2 n d 半導体チップ 2 0 は、その集積回路が形成された面とは反対側の面を接着テープ 4 4 により、1 s t 半導体チップ 1 0 上にダイスボンド（DB）して搭載されている。搭載された 2 n d 半導体チップ 2 0 上には、第 2 再配線層 2 6 を形成するための第 2 絶縁膜 2 4 が形成されている。

【 0 0 1 3 】

そして、第2再配線層26により、第1メタルポスト配線18と2nd半導体チップ20のパッド電極22とが電氣的に接続され、1st半導体チップ10と2nd半導体チップ20との集積回路同士が電氣的に接続されている。第2再配線層26上には、第2メタルポスト配線28が形成され、さらに第2メタルポスト配線28先端には外部端子であるボール電極46が形成されている。

【0014】

以下、図1に示す半導体装置100の製造方法の一例を示す。

まず、1st半導体チップ10となる素子が形成されたウエハ48を準備する(図2(a))。パッド電極12のパッシベーション膜が除去されたウエハ48上に第1絶縁膜14(例えばポリイミド膜)をスピンコートにより塗布する(図2(b))。パッド電極12のコンタクトをとるため、マスクをかけて露光して、第1絶縁膜14のエッチングを行なう(図2(c))。スパッタ、メッキ等によりパッド電極間の配線、第1メタルポスト配線18形成のためのベースとしての第1再配線層16を形成する(図2(d))。

【0015】

次に、第1メタルポスト配線18を形成するためにウエハ48上にレジスト50を塗布する(図2(e))。第1メタルポスト配線18を形成するため、マスクをかけ、露光後エッチングしてレジスト50に開口を形成する(図2(f))。メッキなどにより第1メタルポスト配線18を形成する(図3(g))。レジスト50を除去して洗浄する(図3(h))。ここで、構造上、2nd半導体チップ20厚より第1メタルポスト配線18は高くしなければならないため、一度に所定の高さが得られない場合、図2(e)～3～(g)の工程を繰り返してもよい。

【0016】

次に、表面保護絶縁テープ42(例えばポリイミドテープ)付き2nd半導体チップ20を、接着テープ44によりウエハ48(1st半導体チップ10)上にダイスボンドして搭載する(図3(i))。この2nd半導体チップ20のダイスボンドには、図9に示すように、2nd半導体チップ20表面積と同等或いはそれ以下の大きさの平面コレット54により、2nd半導体チップ20を吸引

しつつ、行なうことが好ましい。図10に示すように、角錐コレット52により、2nd半導体チップ20の両端を挟んでダイスボンドを行なうと、チップ以外の端子等、例えば第1メタルポスト配線18などに接触してしまう可能性があり、生産歩留まりや信頼性が低下することが多くなる。このため、本実施例では、図9に示すように、平面コレット54により、2nd半導体チップ20を吸引しつつダイスボンドすることで、チップ以外の端子等、例えば第1メタルポスト配線18などに接触を防止し、生産歩留まりや信頼性をさせる。

【0017】

次に、ウエハ48外周（円周）を金型で囲み液状の封止樹脂40をウエハ48上面から塗布し、その後硬化させて樹脂封止する（図3（j））。封止樹脂40で埋まった第1メタルポスト配線18を外部に露出する為、ウエハ48上面から研磨機56などにより切削（バイト、砥石、バフ等）して、表面グラインドを行なう（図4（k））。第2再配線層を形成するために、表面に第2絶縁膜（例えば、ポリイミドテープ等）を形成する（図4（l））。第1メタルポスト配線18及びパッド電極22のコンタクトをとるため、マスクをかけて露光して、第2絶縁膜24のエッチングを行なう（図4（m））。スパッタ、メッキ等によりパッド電極間の配線、第2メタルポスト配線28形成のためのベースとしての第2再配線層26を形成する（図5（n））。このようにスパッタやメッキなどにより、第1メタルポスト配線18と2nd半導体チップ20のパッド電極22に同時に再配線することができる。

【0018】

次に、第2メタルポスト配線28を形成するためにウエハ48上にレジスト50を塗布する（図5（o））。第2メタルポスト配線28を形成するため、マスクをかけ、露光後エッチングしてレジスト50に開口を形成する（図6（p））。メッキなどにより第2メタルポスト配線28を形成する（図6（q））。レジスト50を除去して洗浄する（図6（r））。

【0019】

次に、ウエハ48外周（円周）を金型で囲み液状の封止樹脂40をウエハ48上面から塗布し、その後硬化させて、樹脂封止する（図7（s））。封止樹脂4

0で埋まった第2メタルポスト配線28を外部に露出するため、ウエハ48上面から研磨機56などにより切削（バイト、砥石、パフ等）して、表面グラインドを行なう（図7（t））。半田印刷などにより、露出させた第2メタルポスト配線28先端に、外部端子として、ボール電極46（半田ボール）を形成する（図7（u））。そして、テスト後、スクライブにて個片して、半導体装置100が得られる（図8（v））。

【0020】

ここで用いられる、表面保護絶縁テープ42付き2nd半導体チップ20は、例えば、以下のようにして製造することができる。

まず、表面保護絶縁テープ42をステージ58に乗せる（図11（a））。表面保護絶縁テープ42上に、2nd半導体チップ20となる素子が形成されたウエハ48（パッド電極22は図示しない）を、その集積回路が形成されている面側を表面保護絶縁テープ42に向けて乗せる（図11（b））。ウエハ48上に、接着テープ44を貼りつける（図11（c））。接着テープ44上に、UVテープ60を貼りつける（通常のウエハマウント：図11（d））。ウエハ48からステージ58を外す（図12（e））。そして、スクライブブレード62により、ウエハ48を個片化し、2nd半導体チップ20を得る（図12（f））。

【0021】

本実施形態では、複数の半導体チップが、チップ表面に対して略直交した方向に積層して搭載されるので、PKGとしての実装面積を広げることなく無くマルチチップ化が可能であり、CSPの搭載密度（製品の機能を上げることができる。）を従来のCSPより上げることができる。ここで、従来製品より高さは高くなるが1mm程度の為、搭載に問題が発生しないと考えられる。また、スパッタやメッキなどで形成されるメタル配線（メタルポスト配線や再配線層（パターンニング））により結線されることで、従来、MCPなどで用いられているWire結線より複雑な配線をすることができる。このため、実装面積の小面積化を図ることができる。

なお、異なった仕様の半導体チップ（CSP）を同一PKG内に封止するため、例えば、メモリ+ロジック等の組み合わせをCSP上で作製でき、従来のCS

P製品（1チップでのモジュール）より開発納期が短縮できる。

【0022】

また、2nd半導体チップ20を1st半導体チップ10上へダイスボンドする際、液状ペーストを用いるとぬれむらが生じ2nd半導体チップの傾きと高さにはばらつきが生じる。第2再配線層形成するとき、2nd半導体チップ20のパッド電極22にスルーホールを作りメッキを行ない導通をとるが、2nd半導体チップが水平でないと（傾きにはばらつきがある）と、スルーホールが正確に抜けず歩留、品質に影響を及ぼすことがある。このため、本実施形態では、2nd半導体チップ20を1st半導体チップ10上へダイスボンドを、接着テープを用い、2nd半導体チップ20のダイスボンド後の高さと、傾きを安定させている。

【0023】

実施の形態では、2nd半導体チップ20は、集積回路が形成された面側に表面保護絶縁テープ42（例えばポリイミドテープ）でコートされているので、表面グラインド時の切削の際における研磨機や、ダイスボンドの際における平面コレットとの直接的なチップ表面への接触が防止され、チップ表面に物理的な傷がつきにくく、品質性能や信頼性が向上される。

【0024】

（第2の実施の形態）

図13は、第2の実施の形態に係る半導体装置のメタルポスト配線を示す部分構成図であり、（a）部分平面図を示し、（b）は部分断面図を示す。図14は、従来の半導体装置のメタルポスト配線を示す部分構成図であり、（a）部分平面図を示し、（b）は部分断面図を示す。

【0025】

第2の実施の形態では、図13に示すように、1st半導体チップ10の隣合うパッド電極12を覆って第1再配線層16（第2の配線）を形成し、第1再配線層16上に、第1メタルポスト配線18をその中心軸を第1再配線層16面のほぼ中央付近に位置させて形成している。これ以外の構成は、第1の実施形態と同様であるので、説明を省略する。

【 0 0 2 6 】

通常、図 1 4 に示すように、メタルポスト配線 6 4 は、半導体チップ 6 6 のパッド電極 6 8 をベースに形成するが、ベース面積が小さいとポスト径も小さくしなければならず、所望の高さが得られない。このメタルパッド配線が、所望の高さで得られないと、2 n d 半導体チップ 2 0 を搭載ができなくなる。メタルポスト配線は、ベース面積を大きくすることによりポスト径を大きくすることが可能になり、メタルポスト配線の高さはポスト径に比例して高くでき、ポスト径を大きくすることで、メタルポスト配線をより高く強くすることができる。また、再配線層を、パッド電極形成領域以外の部分に形成してベース面積を広くすると、2 n d 半導体チップ 2 0 を搭載スペースが狭くなるといった問題も生じる。

【 0 0 2 7 】

そこで、本実施形態では、1 s t 半導体チップ 1 0 の隣り合うパッド電極 1 2 を覆って第 1 再配線層 1 6 を形成することで、2 n d 半導体チップ 2 0 を搭載するのに必要な第 1 メタルポスト配線 1 8 の高さを得るためにベース面積を広げ、且つ 2 n d 半導体チップ 2 0 を搭載スペースを確保し、第 1 再配線層 1 6 上に、第 1 メタルポスト配線 1 8 がその中心軸を第 1 再配線層 1 6 面中央付近に位置させて形成することで、ポスト径を太くさせることができ、良好なマルチチップ化が可能となる。

【 0 0 2 8 】

(第 3 の実施の形態)

図 1 5 は、第 3 の実施の形態に係る半導体装置の構造を示す概略構成図であり、(a) は平面図を示し、(b) は断面図を示す。

【 0 0 2 9 】

図 1 5 に示す半導体装置 1 0 0 は、1 s t 半導体チップ 1 0 上の四隅に、封止樹脂 4 0 から露出させてスクライブライン認識用ポスト 7 0 が形成されており、このスクライブライン認識用ポスト 7 0 に沿って、例えばスクライブブレード 6 2 により、個片化されている。このスクライブライン認識用ポスト 7 0 は、例えば、メタルポスト配線 1 8、2 8 と同様に形成することができる。それ以外の構成は、第 2 の実施形態と同様であるので、説明を省略する。

【 0 0 3 0 】

通常、封止樹脂 4 0 として、価格の安い不透明な樹脂を使用した場合、1 s t 半導体チップ 1 0 のスクライブライン（グリッドライン）が見えずにスクライブ（個片化）が不可能であるため、高価な透明樹脂を使用し、1 s t 半導体チップ 1 0 のスクライブライン（グリッドライン）を認識し、個片化している。

【 0 0 3 1 】

そこで、本実施形態では、1 s t 半導体チップ 1 0 上にスクライブライン認識用ポスト 7 0 を形成し、スクライブライン認識用ポスト 7 0 に沿って個片化することで、封止樹脂として安価な不透明な樹脂を使用でき、低コスト化が可能となる。

【 0 0 3 2 】

また、本実施形態では、2 つの半導体チップを積層した形態を示したが、スクライブライン認識用ポスト 7 0 は、3 r d 半導体チップ以上の半導体チップをダイスボンドする際の位置認識用として利用することができ、やはり、封止樹脂として安価な不透明な樹脂しつつ、低コスト化しつつ、3 r d 半導体チップ以上の半導体チップを積層可能となる。

【 0 0 3 3 】

また、本実施形態では、スクライブライン認識用ポスト 7 0 を 1 s t 半導体チップ 1 0 の四隅に形成した形態を説明したが、スクライブライン認識用ポスト 7 0 は、任意に形成することができ、例えば、1 s t 半導体チップ 1 0 となる素子が形成されたウエハ周縁部に形成されていれば、スクライブライン認識用として機能される。

【 0 0 3 4 】

（第 4 の実施の形態）

図 1 6 は、第 4 の実施の形態に係る半導体装置の構造を示す断面図である。図 1 7 は、第 4 の実施の形態に係る半導体装置の構造を示す平面図である。図 1 8 ～ 2 8 は、第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。なお、図 1 8 ～ 2 1 は、第 1 の封止樹脂としてネガ型レジスト材を用いた場合の例であり、図 2 2 ～ 2 8 は、第 1 の封止樹脂としてポジ型レジスト材を用い

た場合の例である。

【0035】

図16～17に示す半導体装置100は、集積回路（図示せず）が形成された1st半導体チップ10（第1の半導体チップ）上に、集積回路（図示せず）が形成された2nd半導体チップ20（第2の半導体チップ）が、チップ表面に対して略直交した方向に、且つ互いの集積回路が形成された面を対向させて積層して搭載させた形態である。

【0036】

1st半導体チップ10上には、集積回路と電氣的に接続されているパッド電極12を有し、パッド電極12を有する以外の部分に絶縁膜14が形成されている。1st半導体チップ10は、パッド電極12同士を電氣的に接続或いは2nd半導体チップ20の集積回路と電氣的に接続するための再配線層16が形成され、その一部は、隣り合うパッド電極12を覆って形成されている。そして、この再配線層16上に、外部端子と電氣的に接続するためのメタルポスト配線18が形成されている。この1st半導体チップ10上のメタルポスト配線18周辺（第1の領域）は、当該メタルポスト配線18を形成する開口を設けるためのレジスト材が第1の封止樹脂72として樹脂封止されている。

【0037】

2nd半導体チップ20上には、集積回路と電氣的に接続されているパッド電極22と、さらにパッド電極22と電氣的に接続されるバンプ電極23を有する。2nd半導体チップ20は、その集積回路が形成された面側を対向させて、1st半導体チップ10上の再配線層16と電氣的に接続して搭載されている。搭載された2nd半導体チップ20周辺（第2の領域）は、モールド樹脂等の第2の封止樹脂74で樹脂封止されている。

【0038】

そして、メタルポスト配線18先端には外部端子であるボール電極46が形成されている。

【0039】

以下、図16～17に示す半導体装置100の製造方法の一例を示す。

まず、1 s t 半導体チップ1 0となる素子が形成されたウエハ4 8を準備する(図1 8 (a))。パッド電極1 2のパッシベーション膜が除去されたウエハ4 8上に絶縁膜1 4(例えばポリイミド膜)をスピコートにより塗布する(図1 8 (b))。マスク露光、エッチングによりパッド電極1 2とのコンタクトをとるために絶縁膜1 4に開口を形成する(図1 8 (c))。スパッタ、メッキ等により、2 n d 半導体チップ2 0の結線、パッド電極間の配線、第1メタルポスト配線1 8形成のためのベースとしての再配線層1 6(例えばC u配線)を形成する(図1 8 (d))。

【0 0 4 0】

次に、メタルポスト配線1 8を形成するために、ウエハ4 8上にネガ型レジスト5 0(第1の封止樹脂:ネガ型レジスト材D r yフィルム)を塗布する(図1 8 (e))。マスク露光、エッチングによりメタルポスト配線1 8を形成するための開口を形成する(図1 8 (f))。メッキなどによりメタルポスト配線1 8(例えばC u配線)を形成する(図1 9 (g))。ウエハ4 8上にメッキなどにより導電層7 5(例えばC uなどのメタルメッキ)を形成する(図1 9 (h))。レジスト塗布、マスク露光、エッチングにより導電層7 5をメタルポスト配線1 8周辺(第1の領域)に囲まれた領域(第2の領域)を開口させ、2 n d 半導体チップ搭載スペースを確保するための第1の封止樹脂7 2(レジスト)除去用マスクを形成する(図1 9 (i))。第1の封止樹脂7 2をエッチングにより除去する(図1 9 (j))。ここで、除去されるレジスト5 0(第1の封止樹脂7 2)は、導電層7 6にてマスクが形成されているため、メタルポスト配線1 8周辺は第1の封止樹脂7 2として残され、封止樹脂7 2に囲まれた領域は除去され、2 n d 半導体チップ搭載スペースを確保される。

【0 0 4 1】

次に、加熱されたバンプ電極2 3付き2 n d 半導体チップ2 0を、平面コレットなどのツールを用いてピックアップして、超音波と熱反応を用いてダイスボンドする(図2 0 (k))。第1の封止樹脂7 2を型部材とし、モールド樹脂などの不透明樹脂をウエハ4 8上面から塗布し、その後硬化させ、第2の封止樹脂7 4として2 n d 半導体チップ2 0周辺を樹脂封止する(図2 0 (l))。

【 0 0 4 2 】

次に、第 1 の封止樹脂 7 2 で埋まったメタルポスト配線 1 8 を外部に露出するため、ウエハ 4 8 上面から研磨機 5 6 などにより切削（バイト、砥石、パフ等）して、表面グラインドを行なう（図 2 0 （m））。半田印刷などにより、露出させたメタルポスト配線 1 8 先端に、外部端子として、ボール電極 4 6（半田ボール）を形成する（図 2 0 （n））。そして、テスト後、スクライブにて個片して、半導体装置 1 0 0 が得られる（図 2 1 （o））。

【 0 0 4 3 】

以下、図 1 6 ～ 1 7 に示す半導体装置 1 0 0 の製造方法の他の一例を示す。

まず、1 s t 半導体チップ 1 0 となる素子が形成されたウエハ 4 8 を準備する（図 2 2 （a））。パッド電極 1 2 のパッシベーション膜が除去されたウエハ 4 8 上に絶縁膜 1 4（例えばポリイミド膜）をスピコートにより塗布する（図 2 2 （b））。マスク露光、エッチングによりパッド電極 1 2 とのコンタクトをとるために絶縁膜 1 4 に開口を形成する（図 2 2 （c））。スパッタ、メッキ等により、2 n d 半導体チップ 2 0 の結線、パッド電極間の配線、第 1 メタルポスト配線 1 8 形成のためのベースとしての再配線層 1 6（例えば C u 配線）を形成する（図 2 2 （d））。

【 0 0 4 4 】

次に、メタルポスト配線 1 8 を形成するために、ウエハ 4 8 上にネガ型レジスト 5 0（第 1 の封止樹脂：ポジ型レジスト材 D r y フィルム）を塗布する（図 2 2 （e））。マスク露光、エッチングによりメタルポスト配線 1 8 を形成するための開口を形成する（図 2 2 （f））。メッキなどによりメタルポスト配線 1 8（例えば C u 配線）を形成する（図 2 3 （g））。第 1 の封止樹脂 7 2 における、メタルポスト配線 1 8 が位置する周辺（第 1 の領域）に囲まれた領域（第 2 の領域）をエッチングにより除去する（図 2 3 （h））。ここで、レジスト 5 0 は、メタルポスト配線 1 8 周辺では第 1 の封止樹脂 7 2 として残され、第 1 の封止樹脂 7 2 に囲まれた領域は除去されて 2 n d 半導体チップ搭載スペースを確保される。

【 0 0 4 5 】

次に、加熱されたバンプ電極 2 3 付き 2 n d 半導体チップ 2 0 を、平面コレットなどのツールを用いてピックアップして、超音波と熱反応を用いてダイスボンドする（図 2 3 （i））。第 1 の封止樹脂 7 2 を型部材とし、モールド樹脂などの不透明樹脂をウエハ 4 8 上面から塗布し、その後硬化させ、第 2 の封止樹脂 7 4 として 2 n d 半導体チップ 2 0 周辺を樹脂封止する（図 2 4 （j））。

【 0 0 4 6 】

次に、第 1 の封止樹脂 7 2 で埋まったメタルポスト配線 1 8 を外部に露出するため、ウエハ 4 8 上面から研磨機 5 6 などにより切削（バイト、砥石、バフ等）して、表面グランドを行なう（図 2 4 （k））。半田印刷などにより、露出させたメタルポスト配線 1 8 先端に、外部端子として、ボール電極 4 6 （半田ボール）を形成する（図 2 4 （l））。そして、テスト後、スクライブにて個片して、半導体装置 1 0 0 が得られる（図 2 4 （m））。

【 0 0 4 7 】

本実施形態では、1 s t 半導体チップ 1 0 のメタルポスト配線 1 8 周辺（第 1 の領域）を第 1 の封止樹脂 7 2 として、メタルポスト配線 1 8 を形成する開口を設けるためのレジスト材でそのまま封止することで、樹脂封止する際に生じるメタルポスト配線 1 8 の剥れが防止される。また、第 2 の半導体チップを搭載しその周辺（第 2 の領域）を第 2 の封止樹脂 7 4 で封止する際、この第 1 の封止樹脂 7 2 が型部材（第 2 の封止樹脂 7 4 を堰き止める部材）の役割を担い、簡易な設備で 2 n d 半導体チップ 2 0 周辺を樹脂封止でき、低コスト化が可能となる。

【 0 0 4 8 】

また、本実施形態では、第 1 の封止樹脂 7 2 として、ネガ型及びポジ型のレジスト材を用いた例を示したが、ネガ型レジスト材を用いた製造方法に比べ、ポジ型レジスト材を用いた製造方法は、導電層 7 5 形成が不要となるので、製造コストが安価になる。

【 0 0 4 9 】

（第 5 の実施の形態）

図 2 5 は、第 5 の実施の形態に係る半導体装置の構造を示す断面図である。図 2 6 ～ 2 8 は、第 5 の実施の形態に係る半導体装置の製造方法を説明する断面図

である。

【 0 0 5 0 】

図 2 5 示す半導体装置 1 0 0 は、集積回路（図示せず）が形成された 1 s t 半導体チップ 1 0（第 1 の半導体チップ）上に、集積回路（図示せず）が形成され、当該集積回路と電氣的に接続されたボール電極 2 5 が設けられたチップサイズパッケージ型の 2 n d 半導体チップ 2 0（第 2 の半導体チップ）が、チップ表面に対して略直交した方向に、且つ互いの集積回路が形成された面を対向させて積層して搭載され、封止樹脂 4 0 により樹脂封止した形態である。

【 0 0 5 1 】

1 s t 半導体チップ 1 0 上には、集積回路と電氣的に接続されているパッド電極 1 2 を有し、パッド電極 1 2 を有する以外の部分に絶縁膜 1 4 が形成されている。1 s t 半導体チップ 1 0 は、パッド電極 1 2 同士を電氣的に接続或いは 2 n d 半導体チップ 2 0 の集積回路（ボール電極 2 5）と電氣的に接続するための再配線層 1 6 が形成され、その一部は、隣り合うパッド電極 1 2 を覆って形成されている。そして、この再配線層 1 6 上に、外部端子と電氣的に接続するためのメタルポスト配線 1 8 が形成されている。

【 0 0 5 2 】

2 n d 半導体チップ 2 0 としては、図示しないが、集積回路面が樹脂封止され、集積回路と電氣的に接続される外部端子としてのボール電極 2 5（突出電極）が封止樹脂から突出して設けられた、既存の C S P が用いられる。また、2 n d 半導体チップ 2 0 としては、既存の C S P に再配線を行ない、ボール電極 2 5 を再配置させた構成の C S P でもよい。2 n d 半導体チップ 2 0 は、その集積回路が形成された面側を対向させて、1 s t 半導体チップ 1 0 上の再配線層 1 6 と電氣的に接続して搭載されている。

【 0 0 5 3 】

そして、メタルポスト配線 1 8 先端には外部端子であるボール電極 4 6（半田ボール）が形成されている。

【 0 0 5 4 】

以下、図 2 5 に示す半導体装置 1 0 0 の製造方法の一例を示す。

まず、1 s t 半導体チップ1 0となる素子が形成されたウエハ4 8を準備する(図2 6 (a))。パッド電極1 2のパッシベーション膜が除去されたウエハ4 8上に絶縁膜1 4(例えばポリイミド膜)をスピンコートなどにより塗布する(図2 6 (b))。マスク露光、エッチングによりパッド電極1 2とのコンタクトをとるために絶縁膜1 4に開口を形成する(図2 6 (c))。スパッタ、メッキ等により、2 n d 半導体チップ2 0の結線、パッド電極間の配線、第1メタルポスト配線1 8形成のためのベースとしての再配線層1 6(例えばC u配線)を形成する(図2 6 (d))。

【0 0 5 5】

次に、メタルポスト配線1 8を形成するために、ウエハ4 8上にレジスト5 0を塗布する(図2 6 (e))。マスク露光、エッチングによりメタルポスト配線1 8を形成するための開口を形成する(図2 6 (f))。メッキなどによりメタルポスト配線1 8(例えばC u配線)を形成する(図2 7 (g))。レジスト5 0を除去、洗浄後、2 n d 半導体チップ2 0として、既存のC S Pを、そのボール電極2 5とウエハ4 8の再配線層1 6と当接させ、リフロー処理により熱溶着させ、搭載する(図2 7 (h))。

【0 0 5 6】

次に、ウエハ4 8外周(円周)を金型で囲み液状の封止樹脂4 0をウエハ4 8上面から塗布し、その後硬化させて、樹脂封止する(図2 7 (i))。封止樹脂4 0で埋まったメタルポスト配線1 8を外部に露出するため、ウエハ4 8上面から研磨機5 6などにより切削(バイト、砥石、バフ等)して、表面グラインドを行なう(図2 7 (j))。半田印刷などにより、露出させたメタルポスト配線1 8先端に、外部端子として、ボール電極4 6(半田ボール)を形成し、そして、テスト後、スクライブにて個片して、半導体装置1 0 0が得られる(図2 8 (k))。

【0 0 5 7】

本実施形態では、集積回路(図示せず)が形成され、当該集積回路と電氣的に接続されたボール電極2 5が設けられたチップサイズパッケージ型の2 n d 半導体チップ2 0(第2の半導体チップ)が、チップ表面に対して略直交した方向に

、且つ互いの集積回路が形成された面を対向させて積層して搭載されており、2nd半導体チップ20として、パッドピッチが狭い（約数10～100μm）バンプ方式半導体を用いた場合に比べ、パッド（ボール電極25）ピッチ幅が広くなり（0.数mm）、1st半導体チップ10の再配線の自由度が増す。また、本実施形態では、既存のCSPを容易にマルチチップ化可能となる。さらに、2nd半導体チップ20として、既存のCSPに再配線を行ない、ボール電極25を再配置させた構成のCSPを用いると、1st半導体チップ10の再配線の自由度が増す。

【0058】

（第6の実施の形態）

図29（a）は、第6の実施の形態に係る半導体装置の構造を示す断面図であり、（b）第6の実施の形態に係る半導体装置の再配線層を示す平面図である。

【0059】

図29（a）に示す半導体装置100は、1st半導体チップ10の再配線層16に開口部76が設けられており、2nd半導体チップを、そのボール電極25が開口部76に位置して、搭載されている。再配線層16の開口部76は、図29（b）に示すように、下層まで貫通しているが断線させるわけではない。これ以外の構成は、第5の実施形態と同様であるので、説明を省略する。

【0060】

上記第5の実施形態で示したように、1st半導体チップ10の再配線層16と2nd半導体チップ20のボール電極25との接続には、リフロー処理が行なわれる。このリフロー処理の際には、半導体装置は振動され、この振動により、1st半導体チップ10の再配線層16と2nd半導体チップ20のボール電極25がずれてしまい、接続不良が生じることがある。

【0061】

そこで、本実施形態では、1st半導体チップ10に形成される再配線層16には開口部76を設け、2nd半導体チップ20を、そのボール電極25が再配線層16の開口部76に位置するように搭載させることで、ボール電極25が開口部76に係合され、リフロー処理の際の振動による位置ずれを防止し、接続不

良が防止される。

【0062】

(第7の実施の形態)

図30は、第7の実施の形態に係る半導体装置の構造を示す断面図である。図31～34は、第7の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【0063】

図30に示す半導体装置100は、1st半導体チップ10の再配線層16に断面四角状凹部78が設けられており、2nd半導体チップが、そのボール電極25を断面四角状凹部78に位置して、搭載されている。これ以外の構成は、第5の実施形態と同様であるので、説明を省略する。

【0064】

以下、図30に示す半導体装置100の製造方法の一例を示す。

まず、1st半導体チップ10となる素子が形成されたウエハ48を準備し、パッド電極12のパッシベーション膜が除去されたウエハ48上に絶縁膜14（例えばポリイミド膜）をスピンコートなどにより塗布形成し、マスク露光、エッチングによりパッド電極12とのコンタクトをとるために絶縁膜14に開口を形成する（図31（a））。

【0065】

次に、2nd半導体チップ20の結線、パッド電極間の配線、第1メタルポスト配線18形成のためにベースとしての再配線層16（例えばCu配線）を形成する。まず、ウエハ48上にレジスト50を塗布し、マスク露光、エッチングによりレジスト50を再配線層16形成用開口を形成する（図31（b））。そして、スパッタ、或いはメッキにより、1層目の再配線層16aを形成する（図31（c））。続いて、レジスト50を除去する（図31（d））。再び、ウエハ48上にレジスト50を塗布し、マスク露光、エッチングによりレジスト50を再配線層16形成用開口を形成する（図32（e））。ここでは、形成された1層目の再配線層16のうち凹部78に相当する以外の箇所に開口を形成する。そして、スパッタ、メッキ等により、2層目の再配線層16bを形成する（図32

(f))。続いて、レジスト50を除去する(図32(g))。このように、凹部78が設けられた再配線層16が形成される。なお、この図31(b)～図32(g)の操作を繰り返し、再配線層16の凹部78の断面形状を任意の形状とすることもできる。

【0066】

次に、メタルポスト配線18を形成するために、ウエハ48上にレジスト50を塗布する(図32(h))。マスク露光、エッチングによりメタルポスト配線18を形成するための開口を形成する(図33(i))。メッキなどによりメタルポスト配線18(例えばCu配線)を形成する(図33(j))。レジスト50を除去、洗浄後、2nd半導体チップ20として、既存のCSPを、そのボール電極25とウエハ48の再配線層16の凹部78に位置させて当接させ、リフロー処理により熱溶着させ、搭載する(図33(k))。

【0067】

その後、第5の実施形態と同様に、ウエハ48外周(円周)を金型で囲み液状の封止樹脂40をウエハ48上面から塗布し、その後硬化させて、樹脂封止する。封止樹脂40で埋まったメタルポスト配線18を外部に露出するため、ウエハ48上面から研磨機56などにより切削(バイト、砥石、バフ等)して、表面グランドを行なう。半田印刷などにより、露出させたメタルポスト配線18先端に、外部端子として、ボール電極46(半田ボール)を形成する。そして、テスト後、スクライブにて個片して、半導体装置100が得られる(図34(1))

【0068】

上記第6の実施形態では、再配線層16を設ける下層が絶縁膜14の場合、ボール電極25と再配線層16との接続は、再配線層16の開口部76の内壁のみとなり、ボール電極25と再配線層16との接合信頼性に欠けることがある。

【0069】

そこで、本実施形態では、1st半導体チップ10の再配線層16の凹部78を設け、2nd半導体チップ20が、そのボール電極25を凹部78に位置させて、搭載されることで、2nd半導体チップのボール電極25は凹部78の底部

及び側壁（内壁）に渡って接合されるため、接触面積が増え、ボール電極 2 5 と再配線層 1 6 との接合信頼性が向上される。このため、本実施形態では、リフロ－処理の際の振動による位置ずれを防止しつつ、より効果的に接続不良が防止される。

【 0 0 7 0 】

また、本実施形態では、再配線層 1 6 を 2 段階（必要に応じてそれ以上の段階）でスパッタ或いはメッキ形成することで、容易に凹部 7 8 を有する再配線層 1 6 を形成することが可能である。

【 0 0 7 1 】

（第 8 の実施の形態）

図 3 5 は、第 8 の実施の形態に係る半導体装置の構造を示す断面図である。図 3 6 は、第 8 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【 0 0 7 2 】

図 3 5 に示す半導体装置 1 0 0 は、1 s t 半導体チップ 1 0 の絶縁膜 1 4 に開口部 8 0 を設け、当該開口部 8 0 周辺に再配線層 1 6 を形成させて、再配線層 1 6 に開口部 8 0 に沿った凹部 7 8 （くぼみ）を設け、2 n d 半導体チップが、そのボール電極 2 5 を凹部 7 8 （絶縁膜 1 4 の開口部 8 0 ）に位置させて、搭載されている。これ以外の構成は、第 5 の実施形態と略同様であるので、説明を省略する。

【 0 0 7 3 】

以下、図 3 5 に示す半導体装置 1 0 0 の製造方法の一例を説明する。

まず、1 s t 半導体チップ 1 0 となる素子が形成されたウエハ 4 8 を準備する（図 3 6 （a））。パッド電極 1 2 のパッシベーション膜が除去されたウエハ 4 8 上に絶縁膜 1 4 （例えばポリイミド膜）をスピンコートなどにより塗布形成する（図 3 6 （b））。マスク露光、エッチングによりパッド電極 1 2 とのコンタクトをとり且つ再配線層 1 6 の凹部 7 8 を設けるために絶縁膜 1 4 に開口部 8 0 を形成する（図 3 6 （c））。

【 0 0 7 4 】

次に、スパッタ、メッキ等により、2nd半導体チップ20の結線、パッド電極間の配線、第1メタルポスト配線18形成のためにベースとしての再配線層16（例えばCu配線）を絶縁膜14の開口部80周辺を含めて形成する（図36（d））。ここで、再配線層16は、絶縁膜14の開口部80に沿って凹部78（くぼみ）が形成される。

【0075】

その後、第5の実施形態で示したように、メタルポスト配線18を形成するために、ウエハ48上にレジスト50を塗布し、マスク露光、エッチングによりメタルポスト配線18を形成するための開口を形成する。メッキなどによりメタルポスト配線18（例えばCu配線）を形成する。レジスト50を除去、洗浄後、2nd半導体チップ20として、既存のCSPを、そのボール電極25とウエハ48の再配線層16の凹部78に位置させて当接させ、リフロー処理により熱溶着させ、搭載する。

【0076】

そして、ウエハ48外周（円周）を金型で囲み液状の封止樹脂40をウエハ48上面から塗布し、その後硬化させて、樹脂封止する。封止樹脂40で埋まったメタルポスト配線18を外部に露出するため、ウエハ48上面から研磨機56などにより切削（バイト、砥石、バフ等）して、表面グランドを行なう。半田印刷などにより、露出させたメタルポスト配線18先端に、外部端子として、ボール電極46（半田ボール）を形成する。そして、テスト後、スクライブにて個片して、半導体装置100が得られる（図36（e））。

【0077】

本実施形態では、第7の実施形態と同様に、1st半導体チップ10の再配線層16の凹部78を設け、2nd半導体チップが、そのボール電極25を凹部78に位置させて、搭載されることで、2nd半導体チップのボール電極25は凹部78の底部及び側壁（内壁）に渡って接合されるため、接続面積が増え、ボール電極25と再配線層16との接合信頼性が向上される。このため、本実施形態では、リフロー処理の際の振動による位置ずれを防止しつつ、より効果的に接続不良が防止される。

【 0 0 7 8 】

また、本実施形態では、1 s t 半導体チップ1 0 の絶縁膜1 4 に開口部8 0 を設け、当該開口部8 0 周辺に再配線層1 6 を形成させて、再配線層1 6 のには開口部8 0 に沿った凹部7 8（くぼみ）を設けるので、第7の実施形態に比べ、製造工程数が少なく、より安価に、リフロー処理の際の振動による位置ずれを防止しつつ、より効果的に接続不良が防止される。

【 0 0 7 9 】

（第9の実施の形態）

図3 7は、第9の実施の形態に係る半導体装置の構造を示す断面図である。図3 8は、第9の実施の形態に係る半導体装置の2 n d 半導体チップを示す平面図である。

【 0 0 8 0 】

図3 7に示す半導体装置1 0 0は、1 s t 半導体チップ1 0 上に、2 n d 半導体チップ2 0 が仮止め剤8 2（接着材料）により仮止めされて搭載される形態である。仮止め剤8 2は、図3 8に示すように、2 n d 半導体チップ2 0 の周縁部に配列されたボール電極2 5の内側（チップ中央部）に付着されている。仮止め剤8 2の2 n d 半導体チップ2 0 における付着位置に制限はなく、ボール電極2 5が設けられた箇所以外であればいずれの箇所でもよい。仮止め剤8 2が付着した2 n d 半導体チップ2 0 を、所定の箇所に配置することで仮止めされる。その後、熱溶着などのダイスボンドが行なわれ、搭載される。これ以外の構成は、第5の実施形態と同様であるので、説明を省略する。

【 0 0 8 1 】

ここで用いる、仮止め剤8 2としては、特に制限はなく、安価で、適宜適切な融点を有する材料が用いられる。

【 0 0 8 2 】

上記第5の実施形態で示したように、1 s t 半導体チップ1 0 の再配線層1 6 と2 n d 半導体チップ2 0 のボール電極2 5との接続には、リフロー処理が行なわれる。このリフロー処理の際には、半導体装置は振動され、この振動により、1 s t 半導体チップ1 0 の再配線層1 6 と2 n d 半導体チップ2 0 のボール電極

25がずれてしまい、接続不良が生じることがある。

【0083】

そこで、本実施形態では、1st半導体チップ10上に、2nd半導体チップ20が仮止め剤82により仮止めされて搭載させることで、リフロー処理の際の振動による位置ずれを防止し、接続不良が防止される。

【0084】

(第10の実施の形態)

図39は、第10の実施の形態に係る半導体装置の構造を示す断面図である。図40は、第10の実施の形態に係る半導体装置における2nd半導体チップのボール電極に仮止め剤を貼着する方法を説明する概要図である。

【0085】

図39に示す半導体装置100は、1st半導体チップ10上に、2nd半導体チップ20が、そのボール電極25を仮止め剤82により仮止めさせて搭載される形態である。仮止め剤82は、例えば、図40(a)に示すように、2nd半導体チップ20上に、そのボール電極25に対応した開口を有するマスク84を配置し、マスク84表面にヘラ86などにより仮止め剤82を塗り付けることで、マスク84の開口から仮止め剤82が出てきて、図40(b)に示すように、ボール電極25先端に付着される。これを、ボール電極25先端に仮止め剤82が付着した2nd半導体チップ20を、所定の箇所に配置することで仮止めされる。その後、熱溶着などのダイスボンディングが行なわれ、搭載される。これ以外の構成は、第5の実施形態と同様であるので、説明を省略する。

【0086】

ここで用いる、仮止め剤82としては、導電性を有する材料であることが必要であり、例えば半田クリームなどが挙げられる。

【0087】

本実施形態では、1st半導体チップ10上に、2nd半導体チップ20が仮止め剤82により仮止めされて搭載させることで、第9の実施形態と同様にリフロー処理の際の振動による位置ずれを防止し、接続不良が防止される。

【0088】

また、本実施形態では、仮止め剤 8 2 をチップ本体に付着させる第 9 の実施形態に比べ、ボール電極 2 5 先端に仮止め剤を付着させるので、2 n d 半導体チップ 2 0 におけるボール電極 2 5 配置位置の自由度が増し、例えば 2 n d 半導体チップ 2 0 中央部にもボール電極 2 5 を配置させることができる。

【 0 0 8 9 】

(第 1 1 の実施の形態)

図 4 1 は、第 1 1 の実施の形態に係る半導体装置の構造を示す断面図である。図 4 2 ～ 4 9 は、第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【 0 0 9 0 】

図 4 1 に示す半導体装置 1 0 0 は、集積回路（図示せず）が形成された 1 s t 半導体チップ 1 0 （第 1 の半導体チップ）上に、集積回路（図示せず）が形成された 2 n d 半導体チップ 2 0 （第 2 の半導体チップ）が、チップ表面に対して略直交した方向に、且つ互いの集積回路が形成された面を対向させて積層して搭載させ、さらに 2 n d 半導体チップ 2 0 （第 2 の半導体チップ）上に、集積回路（図示せず）が形成された 3 r d 半導体チップ 3 0 （第 3 の半導体チップ）が、チップ表面に対して略直交した方向に、且つ互いの集積回路が形成された面とは反対側の面を対向させて積層して搭載され、封止樹脂 4 0 により封止した形態である。

【 0 0 9 1 】

1 s t 半導体チップ 1 0 上には、集積回路と電氣的に接続されているパッド電極 1 2 を有し、パッド電極 1 2 を有する以外の部分に第 1 絶縁膜 1 4 が形成されている。1 s t 半導体チップ 1 0 は、パッド電極 1 2 同士を電氣的に接続或いは 2 n d 半導体チップ 2 0 の集積回路（バンプ電極 2 3）と電氣的に接続するための第 1 再配線層 1 6 が形成され、その一部は、隣り合うパッド電極 1 2 を覆って形成されている。そして、この第 1 再配線層 1 6 上に、外部端子、及び 3 r d 半導体チップ 3 0 の集積回路（第 2 再配線層 2 6）と電氣的に接続するための第 1 メタルポスト配線 1 8 が形成され、さらに第 1 メタルポスト配線 1 8 を延長するように第 2 メタルポスト配線 2 8 が形成されている。

【 0 0 9 2 】

2 n d 半導体チップ 2 0 上には、集積回路と電氣的に接続されているパッド電極 2 2 と、さらにパッド電極 2 2 と電氣的に接続されるバンプ電極 2 3 を有する。2 n d 半導体チップ 2 0 は、その集積回路が形成された面側を対向させて、1 s t 半導体チップ 1 0 上の再配線層 1 6 と電氣的に接続して搭載されている。

【 0 0 9 3 】

3 r d 半導体チップ 3 0 上には、集積回路と電氣的に接続されているパッド電極 3 2 を有し、さらに表面保護絶縁テープ 4 2 により表面が保護されている。3 r d 半導体チップ 3 0 は、その集積回路が形成された面とは反対側の面を接着テープ 4 4 により、互いの集積回路が形成された面とは反対側の面を対向させて積層して搭載される。搭載された 3 r d 半導体チップ 3 0 上には、第 2 再配線層 2 6 を形成するための第 2 絶縁膜 2 4 が形成されている。

【 0 0 9 4 】

そして、第 2 再配線層 2 6 により、第 2 メタルポスト配線 2 8 と 3 r d 半導体チップ 3 0 のパッド電極 3 2 とが電氣的に接続され、1 s t 半導体チップ 1 0 と 3 r d 半導体チップ 3 0 との集積回路同士が電氣的に接続されている。第 2 再配線層 2 6 上には、第 3 メタルポスト配線 3 8 が形成され、さらに第 3 メタルポスト配線 3 8 先端には外部端子であるボール電極 4 6 が形成されている。

【 0 0 9 5 】

以下、図 4 1 に示す半導体装置 1 0 0 の製造方法の一例を示す。

まず、1 s t 半導体チップ 1 0 となる素子が形成されたウエハ 4 8 を準備する（図 4 2 (a)）。パッド電極 1 2 のパッシベーション膜が除去されたウエハ 4 8 上に第 1 絶縁膜 1 4（例えばポリイミド膜）をスピンコートにより塗布する（図 4 2 (b)）。パッド電極 1 2 のコンタクトをとるため、マスクをかけて露光して、第 1 絶縁膜 1 4 のエッチングを行なう（図 4 2 (c)）。スパッタ、メッキ等によりパッド電極間の配線、第 1 メタルポスト配線 1 8 形成のためのベースとしての第 1 再配線層 1 6 を形成する（図 4 2 (d)）。

【 0 0 9 6 】

次に、第 1 メタルポスト配線 1 8 を形成するためにウエハ 4 8 上にレジスト 5

0を塗布する(図42(e))。第1メタルポスト配線18を形成するため、マスクをかけ、露光後エッチングしレジスト50に開口を形成する(図42(f))。メッキなどにより第1メタルポスト配線18を形成する(図43(g))。レジスト50を除去して洗浄する(図43(h))。ここで、構造上、2nd半導体チップ20厚より第1メタルポスト配線18は高くしなければならないため、一度に所定の高さが得られない場合、図42(e)～図43(h)の工程を繰り返してもよい。

【0097】

次に、加熱されたバンプ電極23付き2nd半導体チップ20を、平面コレットなどのツールを用いてピックアップして、超音波と熱反応を用いてダイスボンドする(図43(i))。

【0098】

次に、ウエハ48外周(円周)を金型で囲み液状の封止樹脂40をウエハ48上面から塗布し、その後硬化させて樹脂封止する(図44(j))。封止樹脂40で埋まった第1メタルポスト配線18を外部に露出する為、ウエハ48上面から研磨機56などにより切削(バイト、砥石、バフ等)して、表面グランドを行なう(図44(k))。

【0099】

次に、第2メタルポスト配線28を形成するためにウエハ48上にレジスト50を塗布する(図44(l))。第1メタルポスト配線18が延長するように第2メタルポスト配線28を形成するため、マスクをかけ、露光後エッチングしレジスト50に開口を形成する(図44(m))。メッキなどにより第2メタルポスト配線28を形成する(図45(n))。レジスト50を除去して洗浄する(図45(o))。ここで、構造上、3rd半導体チップ30厚より第2メタルポスト配線28は高くしなければならないため、一度に所定の高さが得られない場合、図44(l)～図45(o)の工程を繰り返してもよい。

【0100】

次に、表面保護絶縁テープ42(例えばポリイミドテープ)付き3rd半導体チップ30を、接着テープ44によりウエハ48(2nd半導体チップ20)上

にダイスボンディングして搭載する（図 4 5（p））。

【0101】

次に、ウエハ 4 8 外周（円周）を金型で囲み液状の封止樹脂 4 0 をウエハ 4 8 上面から塗布し、その後硬化させて樹脂封止する（図 4 5（q））。封止樹脂 4 0 で埋まった第 1 メタルポスト配線 1 8 を外部に露出する為、ウエハ 4 8 上面から研磨機 5 6 などにより切削（バイト、砥石、バフ等）して、表面グラインドを行なう（図 4 6（r））。第 2 再配線層 2 6 を形成するために、表面に第 2 絶縁膜 2 4（例えば、ポリイミドテープ等）を形成する（図 4 6（s））。第 2 メタルポスト配線 2 8 及びパッド電極 3 2 のコンタクトをとるため、マスクをかけて露光して、第 2 絶縁膜 2 4 のエッチングを行なう（図 4 6（t））。スパッタ、メッキ等によりパッド電極間の配線、第 2 メタルポスト配線 2 8 形成のためのベースとしての第 2 再配線層 2 6 を形成する（図 4 7（u））。このようにスパッタやメッキなどにより、第 2 メタルポスト配線と 3 r d 半導体チップ 3 0 のパッド電極 3 2 に同時に再配線することができる。

【0102】

次に、第 3 メタルポスト配線 3 8 を形成するためにウエハ 4 8 上にレジスト 5 0 を塗布する（図 4 7（v））。第 3 メタルポスト配線 3 8 を形成するため、マスクをかけ、露光後エッチングしレジスト 5 0 に開口を形成する（図 4 7（w））。メッキなどにより第 3 メタルポスト配線 3 8 を形成する（図 4 8（x））。レジスト 5 0 を除去して洗浄する（図 4 8（y））。

【0103】

次に、ウエハ 4 8 外周（円周）を金型で囲み液状の封止樹脂 4 0 をウエハ 4 8 上面から塗布し、その後硬化させて、樹脂封止する（図 4 8（z））。封止樹脂 4 0 で埋まった第 3 メタルポスト配線 3 8 を外部に露出するため、ウエハ 4 8 上面から研磨機 5 6 などにより切削（バイト、砥石、バフ等）して、表面グラインドを行なう（図 4 9（a a））。半田印刷などにより、露出させた第 3 メタルポスト配線 3 8 先端に、外部端子として、ボール電極 4 6（半田ボール）を形成する（図 4 9（b a））。そして、テスト後、スクライブにて個片して、半導体装置 1 0 0 が得られる（図 4 9（c a））。

【0104】

本実施形態では、2nd半導体チップ20（第2の半導体チップ）と、3rd半導体チップ（第3の半導体チップ）とが、チップ表面に対して略直交した方向に、且つ互いの集積回路が形成された面とは反対側の面を対向させて積層して搭載されるので、2nd半導体チップ20及び3rd半導体チップ30間の絶縁膜や再配線層などが不要となり、より薄くマルチチップ化でき、高集積化も可能となる。

【0105】

（第12の実施の形態）

図50は、第12の実施の形態に係る半導体装置を説明するための概要図である。

【0106】

本実施形態は、1st半導体チップ10上に、2nd半導体チップ20が、その互いの集積回路が形成された面を対抗させて搭載される上記第4～第11の実施形態において、図50に示すように、封止樹脂40で封止後、2nd半導体チップ20は、前記封止樹脂と共に、その集積回路が形成された面とは反対側の面が研磨機などにより切削（バイト、砥石、バフ等）される形態である。

【0107】

通常、仕上がりの厚さを抑えるためにはチップを薄くする必要があるが、積層させる半導体チップを個片化前のウエハ状態でバックグラインドして切削して薄くすると、搬送時やダイスボンド時などにウエハの割れ等が発生し組立歩留を低下させるという不具合があった。

【0108】

そこで、本実施形態では、2nd半導体チップ20を、搭載後、封止樹脂40と共に、その集積回路が形成された面とは反対側の面が切削させると、2nd半導体チップ20は、樹脂封止までは厚いままなので、搬送時やダイスボンド時のウエハの割れ等による組立歩留まりの低下を防止できる。さらに、封止樹脂40および2nd半導体チップ20を同時にグラインドするので、従来、封止樹脂とチップグラインドが各々必要であるが、1回の切削工程で済みコストを削減でき

る。

【0109】

また、本実施形態では、2nd半導体チップ20は、搬送時やダイスボンド時の割れなど考慮しなくてもよいので、個片化前のウエハ状態でバックグラインドして切削するよりも薄く切削することができ、より薄くマルチチップ化ができ、高集積化も可能となる。

【0110】

なお、上記何れの実施の形態に係る本発明の半導体装置、及びその製造方法においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【0111】

【発明の効果】

以上説明したように、本発明によれば、実装面積の小面積化を図ってマルチチップ化した半導体装置、及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 第1の実施の形態に係る半導体装置の構造を示す断面図である。

【図2】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図3】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図4】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図5】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図6】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図7】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図8】 第1の実施の形態に係る半導体装置の製造方法を説明する断面図であ

る。

【図 9】 第 1 の実施の形態に係る半導体装置において、2 n d 半導体チップを平面コレットにより搭載する例を説明する概要図である。

【図 1 0】 第 1 の実施の形態に係る半導体装置において、2 n d 半導体チップを角錐コレットにより搭載する例を説明する概要図である。

【図 1 1】 第 1 の実施の形態に係る半導体装置において、表面保護絶縁テープ 4 2 付き 2 n d 半導体チップ 2 0 の製造方法を説明する断面図である。

【図 1 2】 第 1 の実施の形態に係る半導体装置において、表面保護絶縁テープ 4 2 付き 2 n d 半導体チップ 2 0 の製造方法を説明する断面図である。

【図 1 3】 第 2 の実施の形態に係る半導体装置のメタルポスト配線を示す部分構成図であり、(a) 部分平面図を示し、(b) は部分断面図を示す。

【図 1 4】 従来の半導体装置のメタルポスト配線を示す部分構成図であり、(a) 部分平面図を示し、(b) は部分断面図を示す。

【図 1 5】 第 3 の実施の形態に係る半導体装置の構造を示す概略構成図であり、(a) は平面図を示し、(b) は断面図を示す。

【図 1 6】 第 4 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 1 7】 第 4 の実施の形態に係る半導体装置の構造を示す平面図である。

【図 1 8】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 1 9】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 0】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 1】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 2】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 3】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 4】 第 4 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 5】 第 5 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 2 6】 第 5 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 7】 第 5 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 8】 第 5 の実施の形態に係る半導体装置の製造方法を説明する断面図である。

【図 2 9】 (a) は、第 6 の実施の形態に係る半導体装置の構造を示す断面図であり、(b) 第 6 の実施の形態に係る半導体装置の再配線層を示す平面図である。

【図 3 0】 第 7 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 3 1】 第 7 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 2】 第 7 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 3】 第 7 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 4】 第 7 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 5】 第 8 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 3 6】 第 8 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3 7】 第 9 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 3 8】 第 9 の実施の形態に係る半導体装置の 2 n d 半導体チップを示す平面図である。

【図 3 9】 第 1 0 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 4 0】 第 1 0 の実施の形態に係る半導体装置における 2 n d 半導体チップ

のボール電極に仮止め剤を貼着する方法を説明する概要図である。

【図 4 1】 第 1 1 の実施の形態に係る半導体装置の構造を示す断面図である。

【図 4 2】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 3】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 4】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 5】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 6】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 7】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 8】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 4 9】 第 1 1 の実施の形態に係る半導体装置の製造方法を説明するための断面図である。

【図 5 0】 第 1 2 の実施の形態に係る半導体装置を説明するための概要図である。

【図 5 1】 従来の半導体チップをマルチチップ化した M C P の構造の一例を示す断面図である。

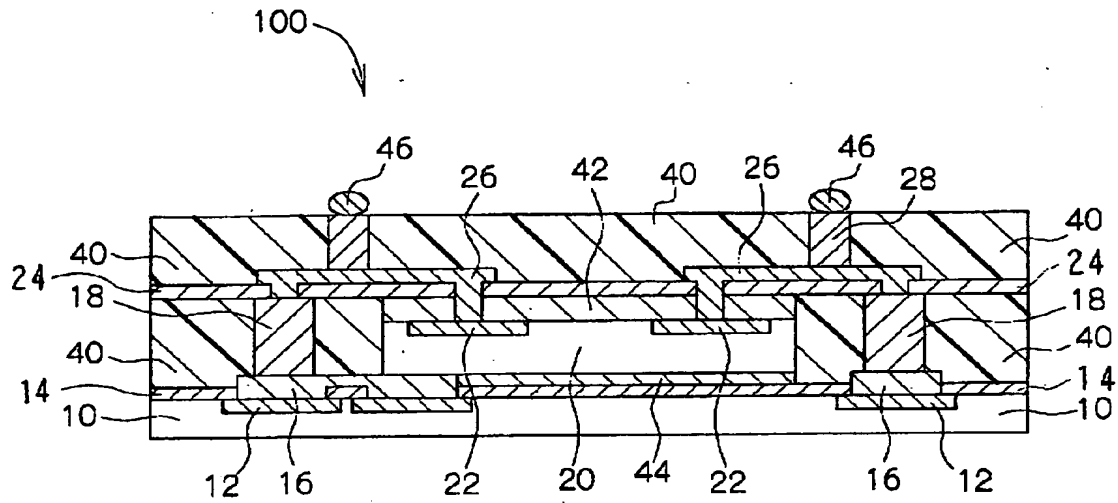
【符号の説明】

- 1 0 0 半導体装置
- 1 0 1 s t 半導体チップ（第 1 の半導体チップ）
- 1 6 再配線層（第 1 の配線）
- 1 8 メタルポスト配線（第 1 の配線：柱状電極）
- 2 0 2 n d 半導体チップ（第 2 の半導体チップ）
- 2 5 ボール電極（外部端子）

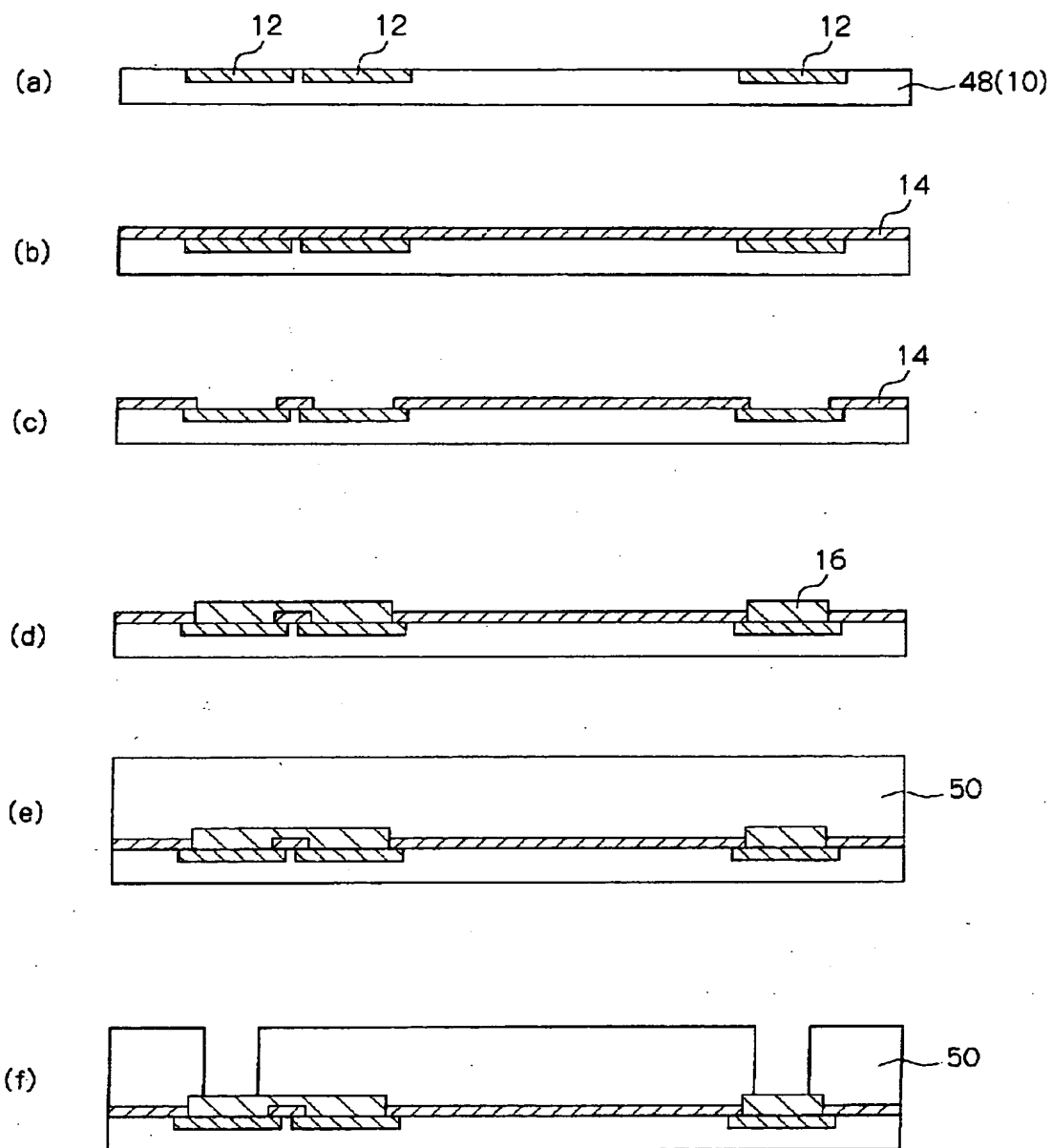
- 2 6 再配線層（第 1 の配線：第 2 の配線）
- 2 8 メタルポスト配線（第 1 の配線：柱状電極）
- 3 0 3 r d 半導体チップ（第 3 の半導体チップ）
- 3 8 メタルポスト配線（第 1 の配線：柱状電極）
- 4 0 封止樹脂
- 4 2 表面保護絶縁テープ（表面保護膜）
- 4 4 接着テープ
- 7 0 スクライブライン認識用ポスト（第 2 の柱状電極）
- 7 2 第 1 の封止樹脂
- 7 4 第 2 の封止樹脂
- 7 6 再配線層の開口部
- 7 8 再配線層の凹部
- 8 0 絶縁膜の開口部

【書類名】 図面

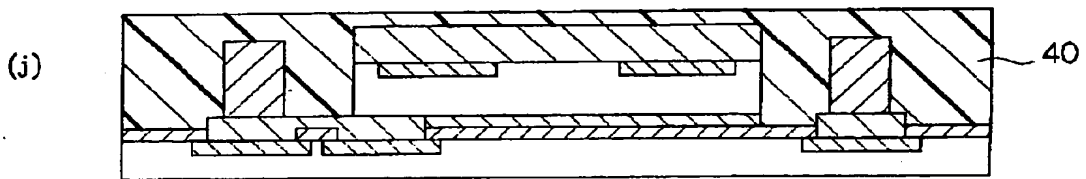
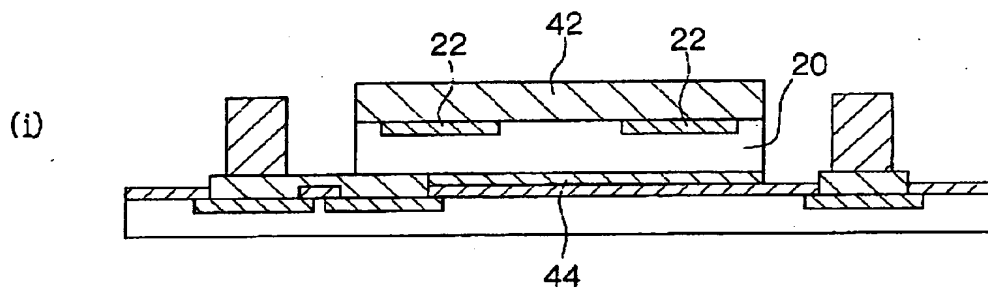
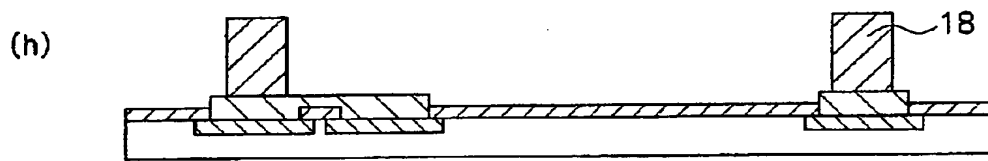
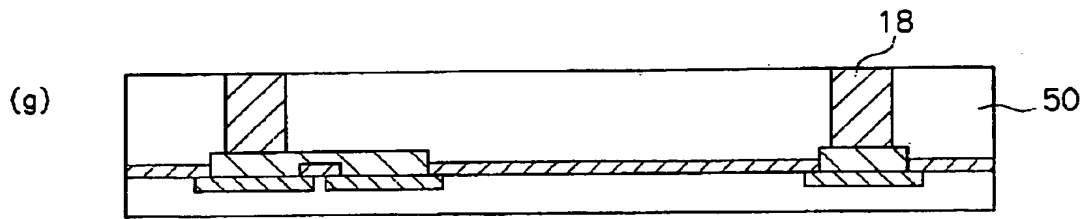
【図 1】



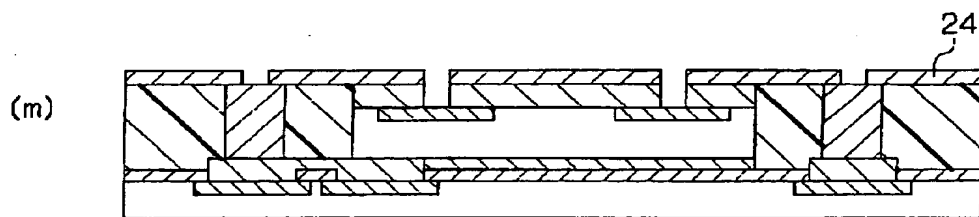
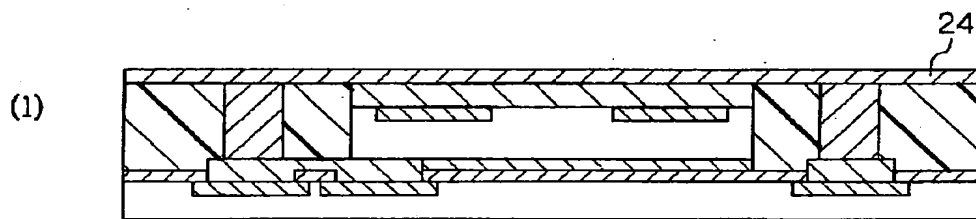
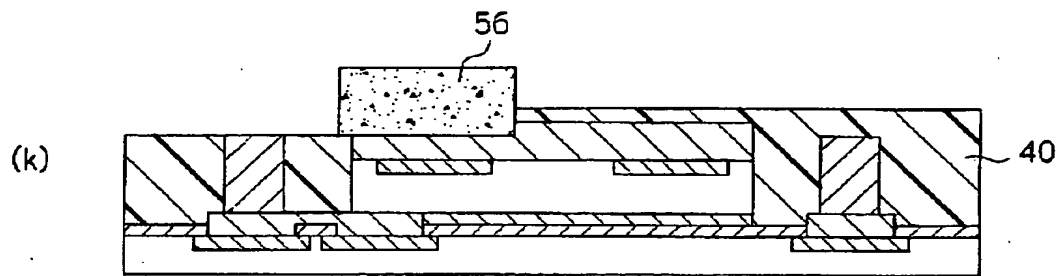
【図 2】



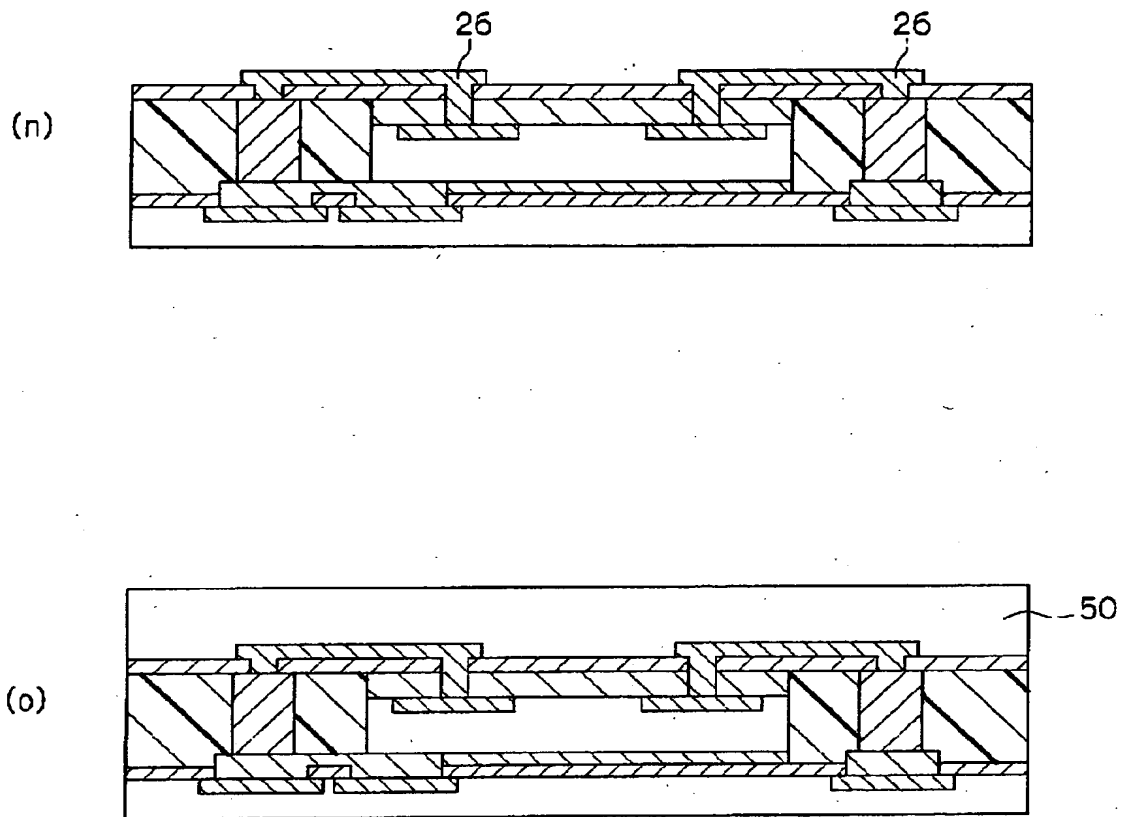
【図 3】



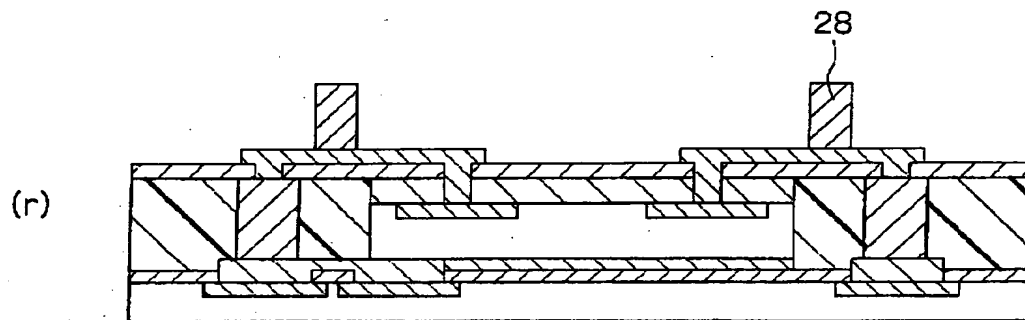
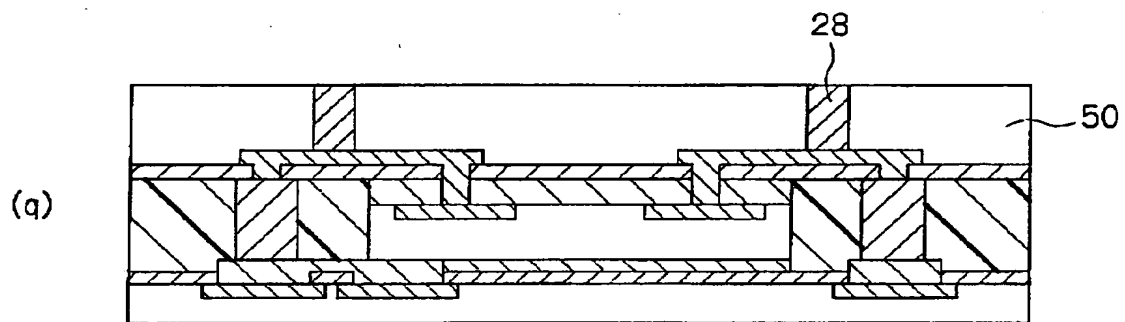
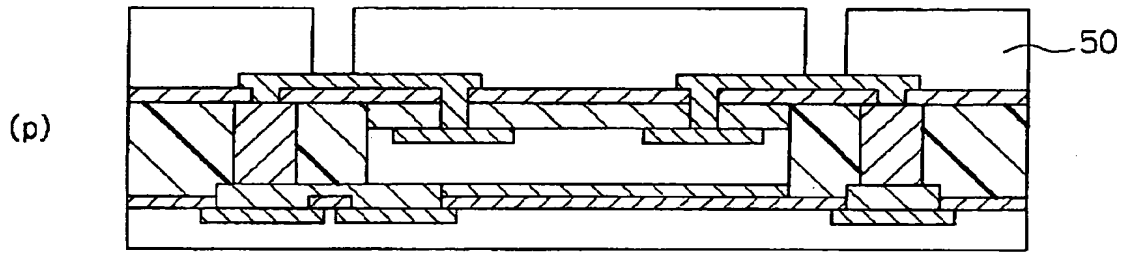
【図 4】



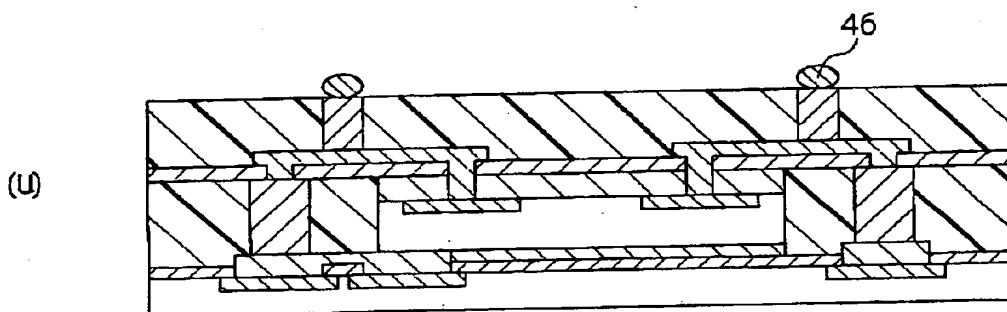
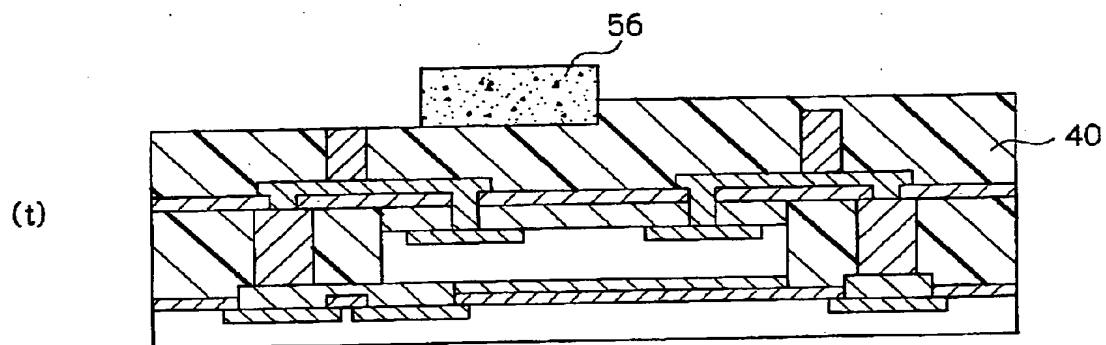
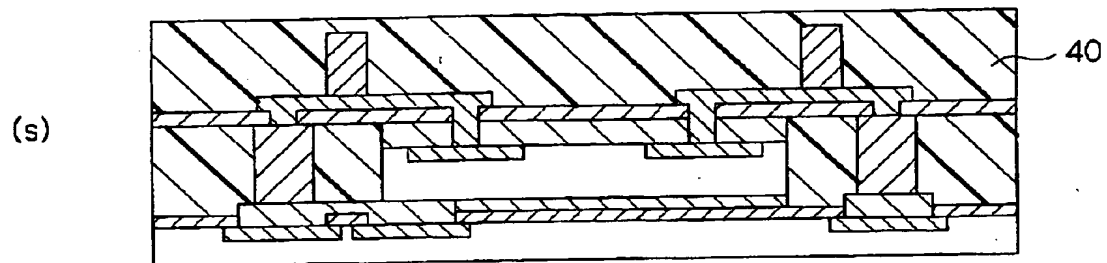
【図 5】



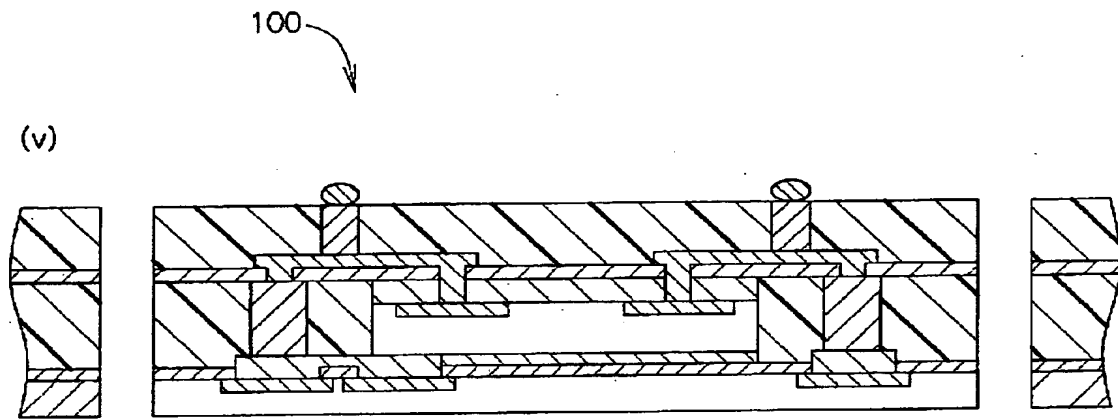
【図 6】



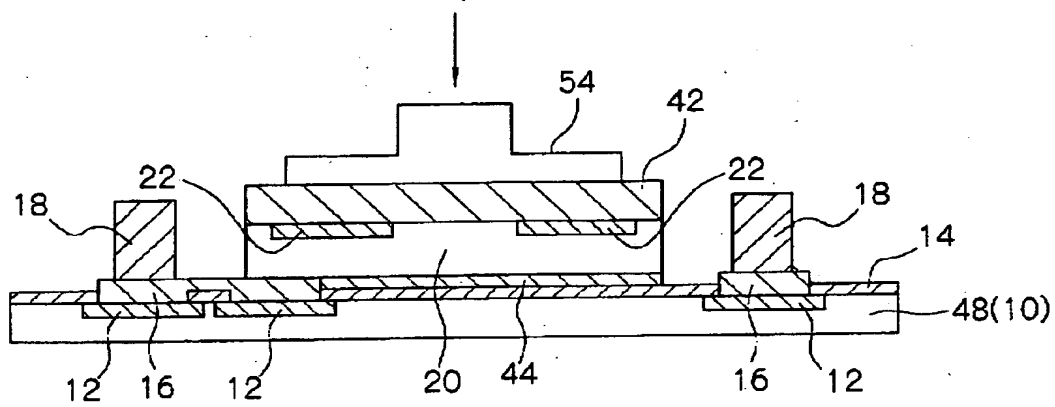
【図 7】



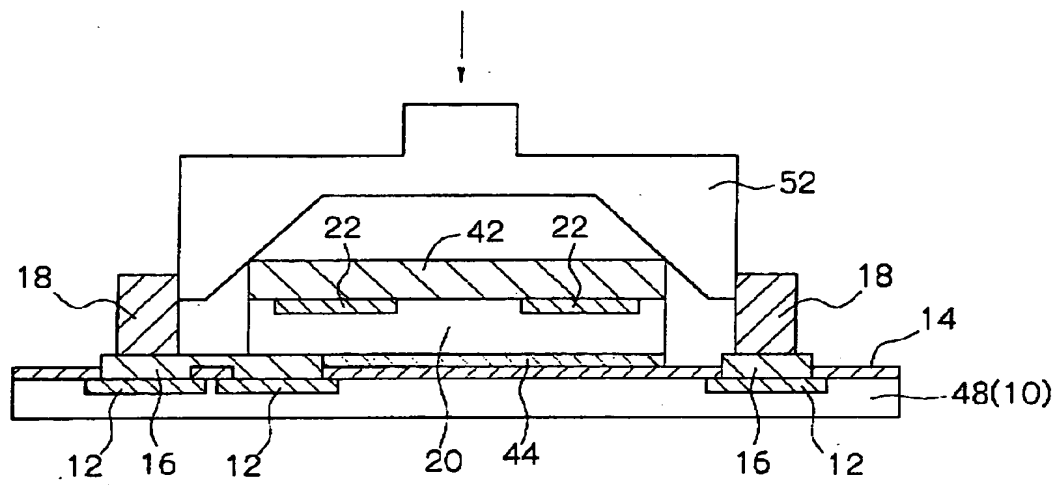
【図 8】



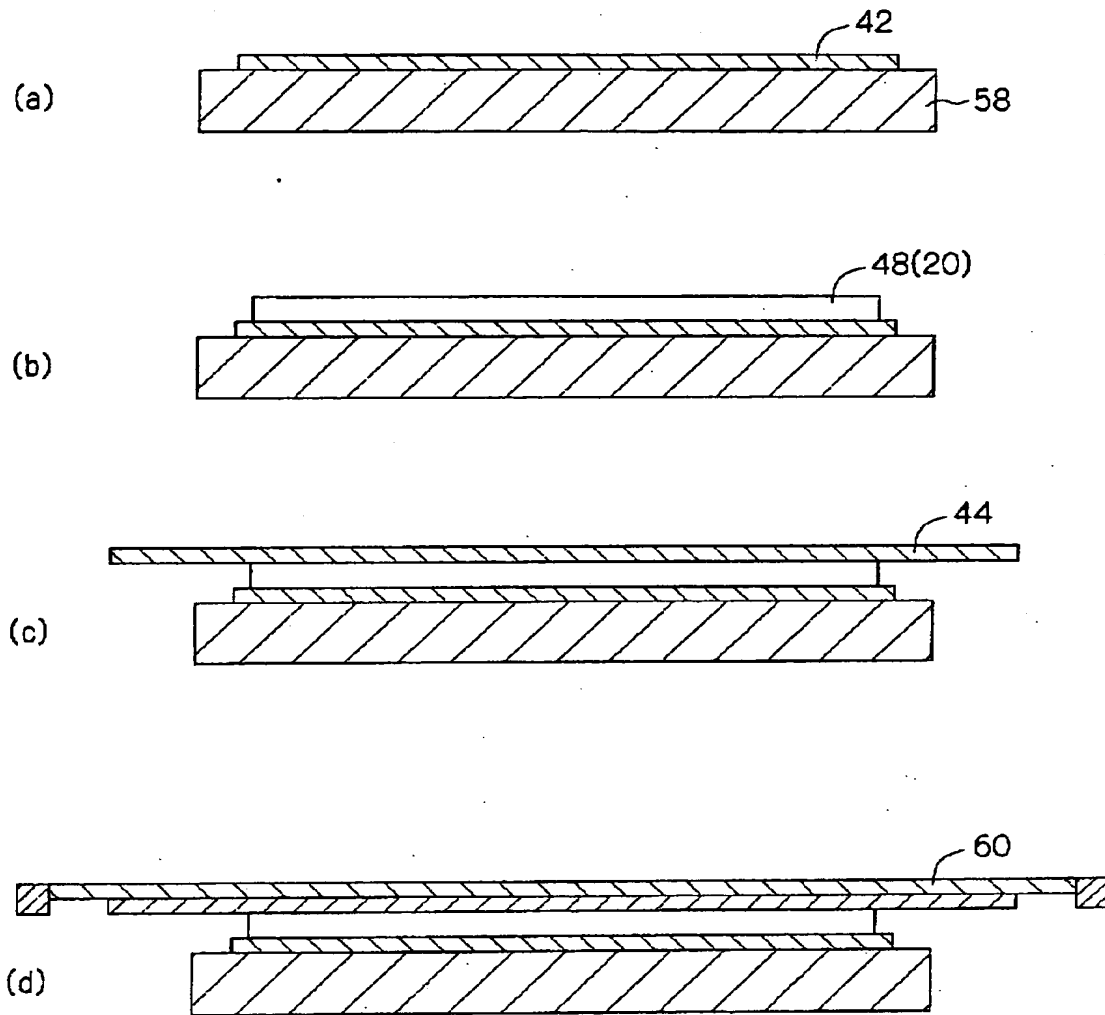
【図 9】



【図 1 0】

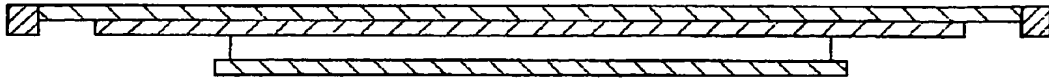


【図 1 1】

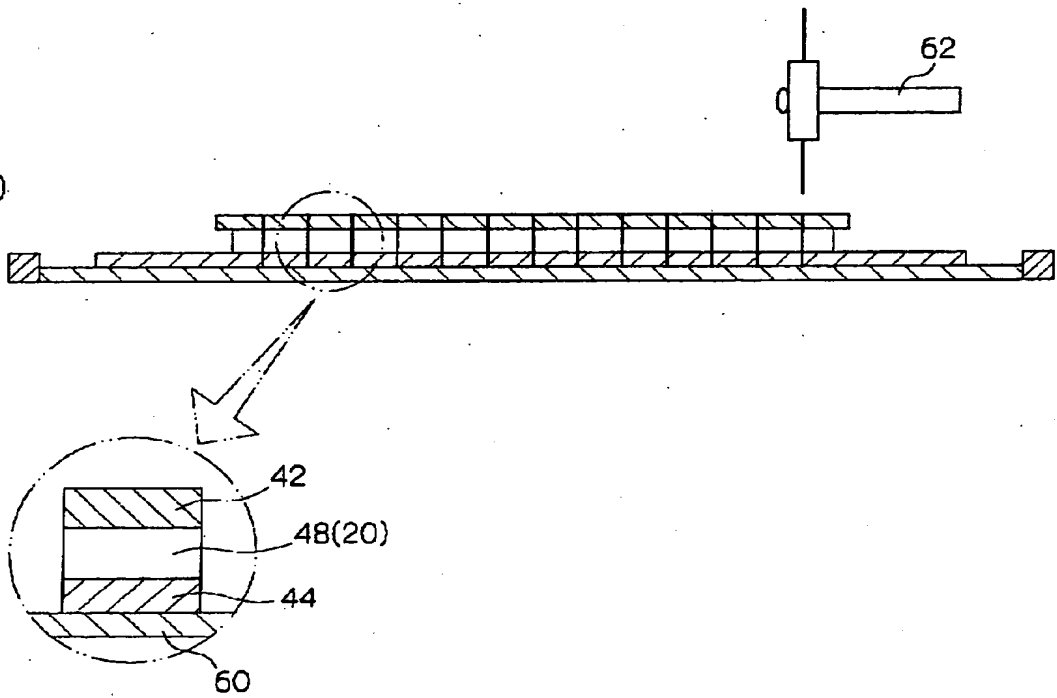


【図 1 2】

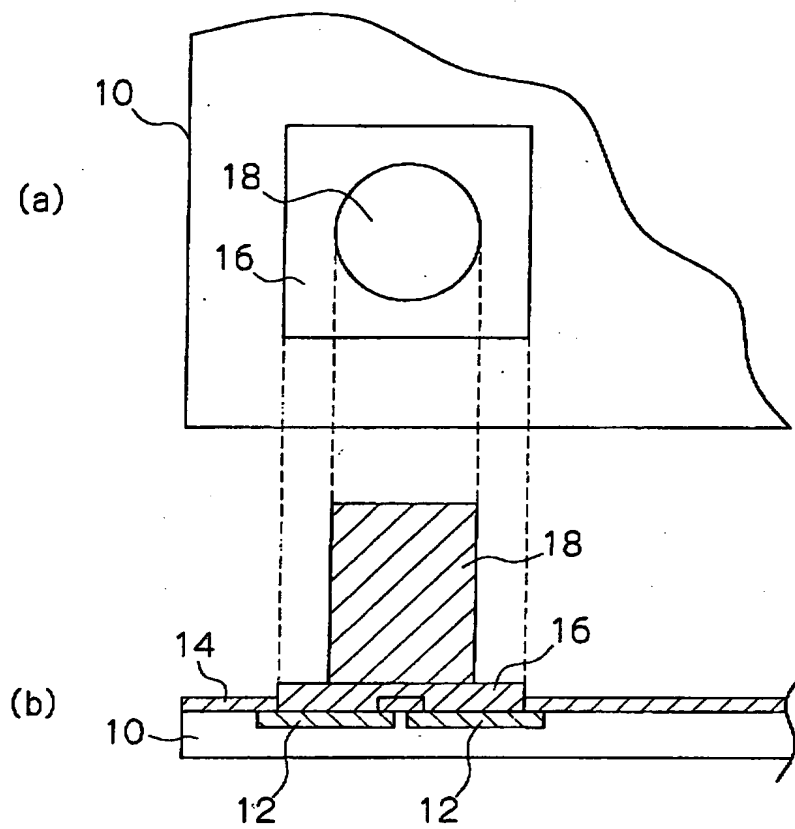
(e)



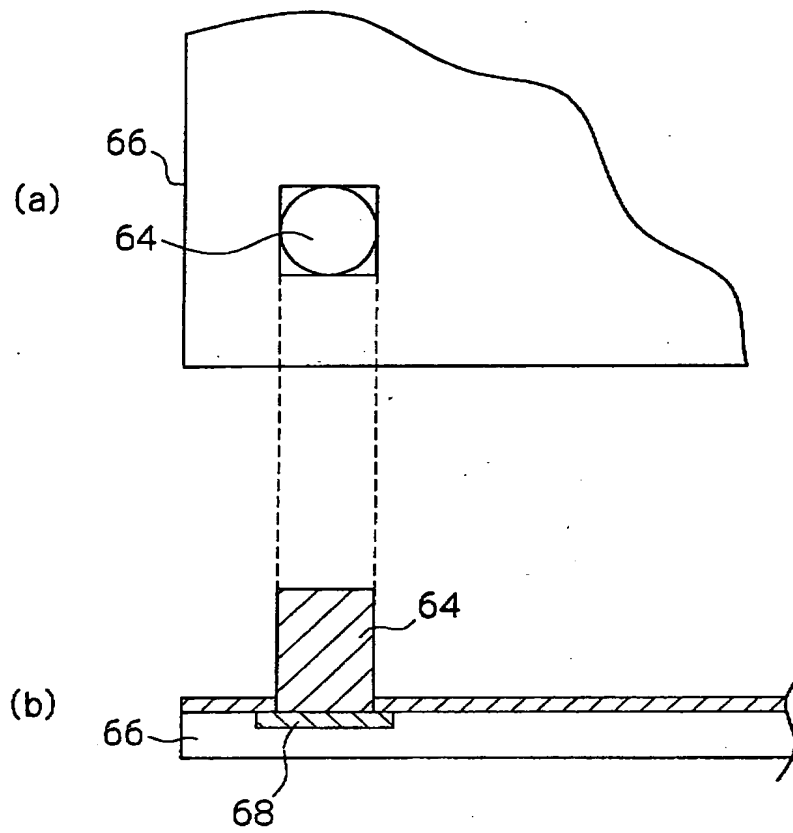
(f)



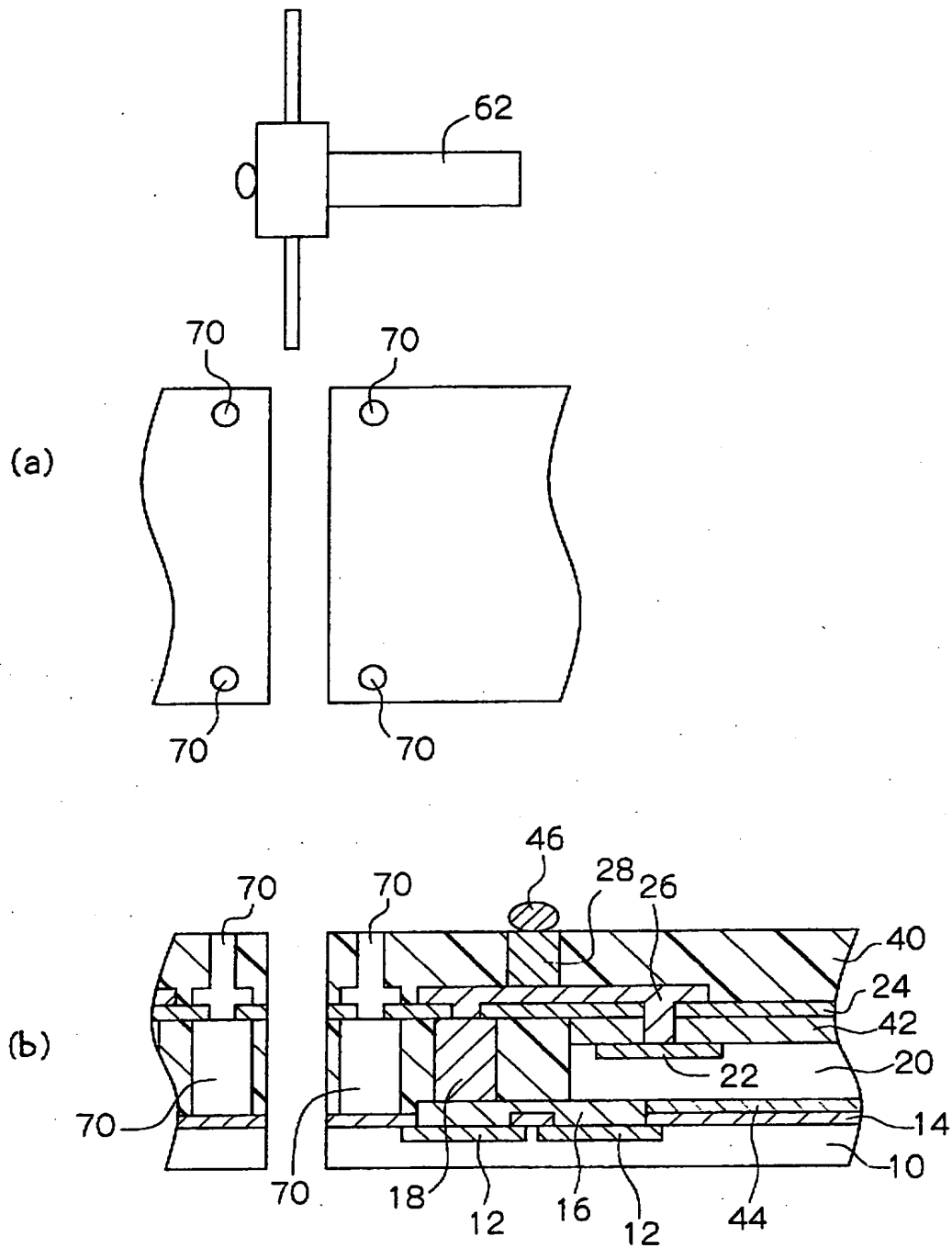
【図 1 3】



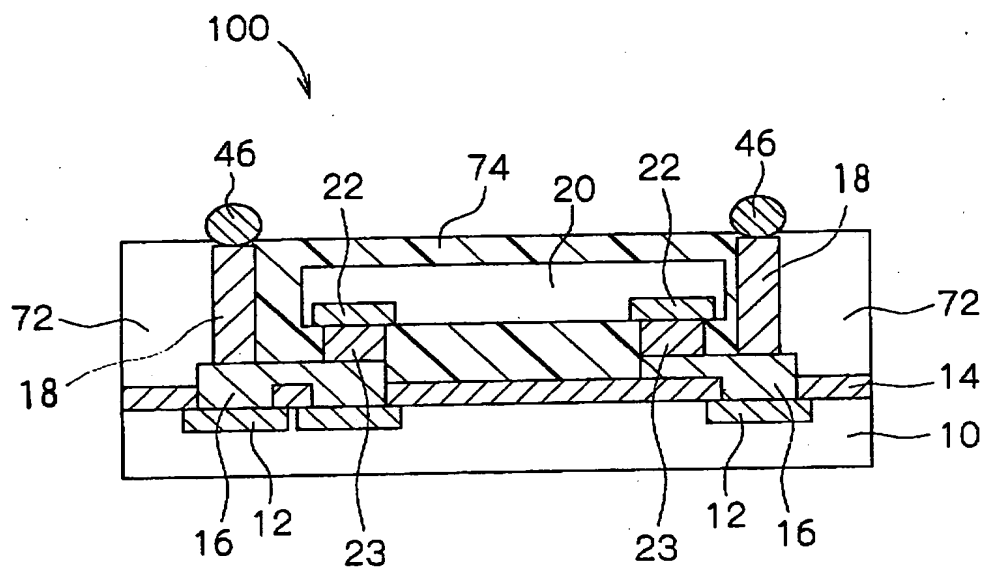
【図 14】



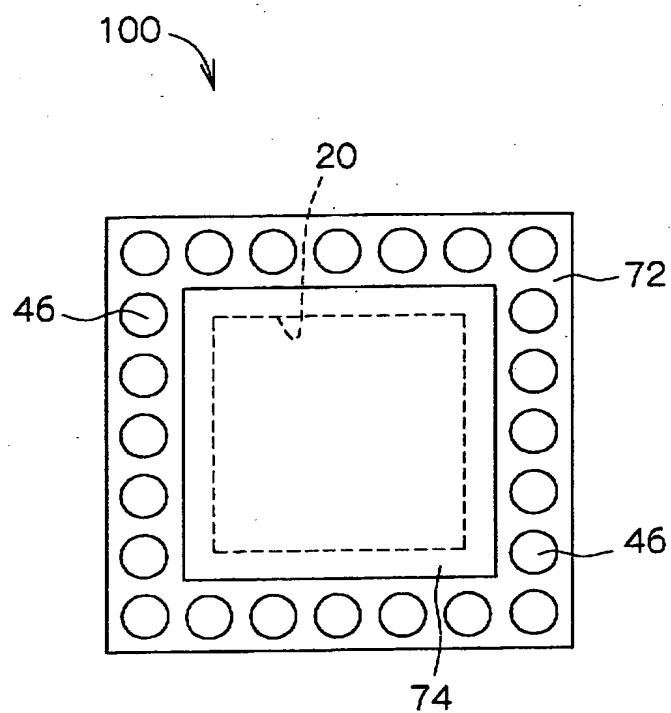
【図 1 5】



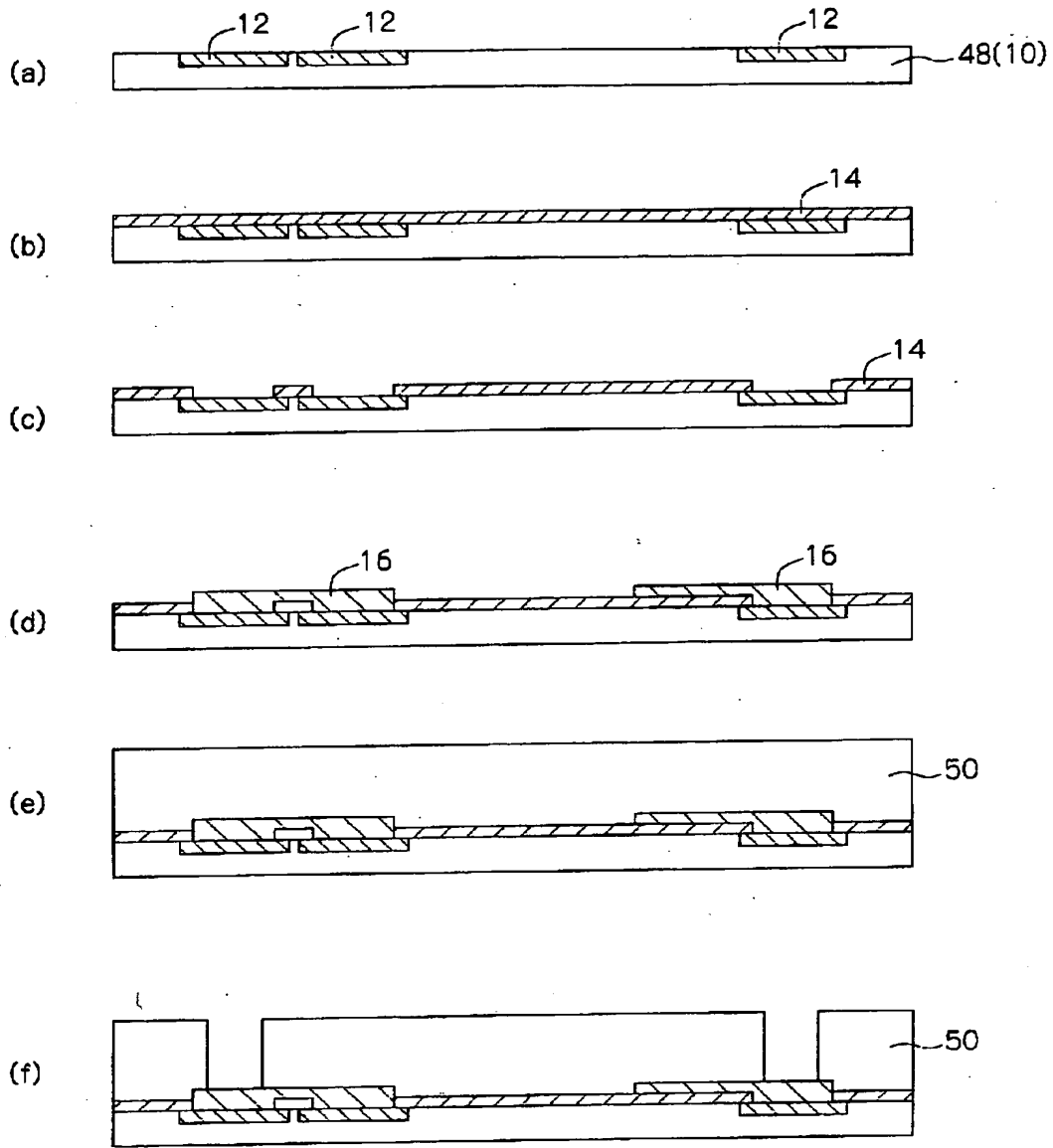
【図16】



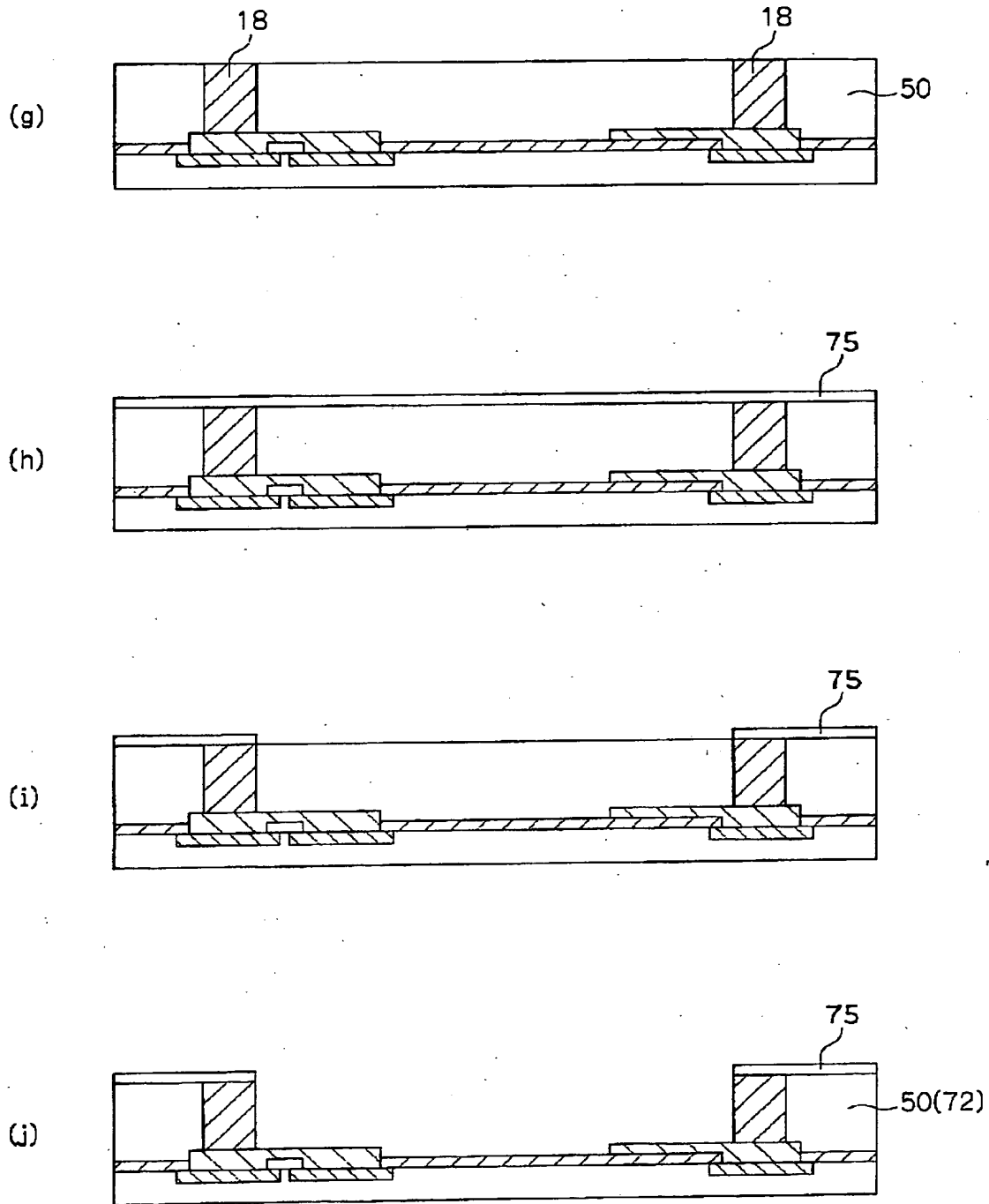
【図17】



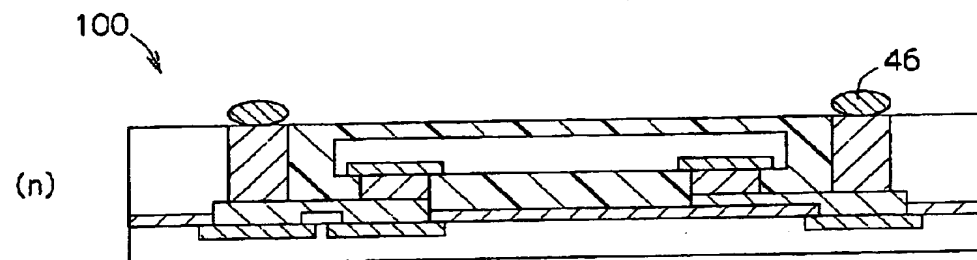
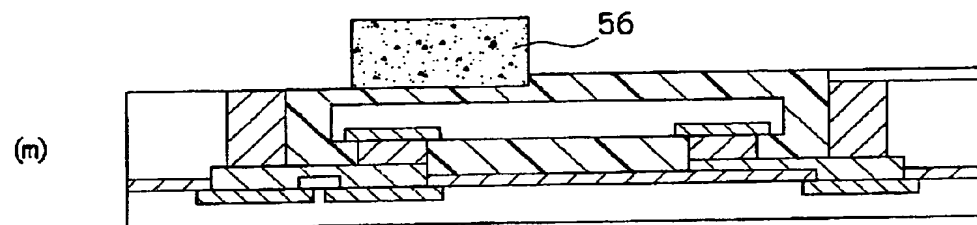
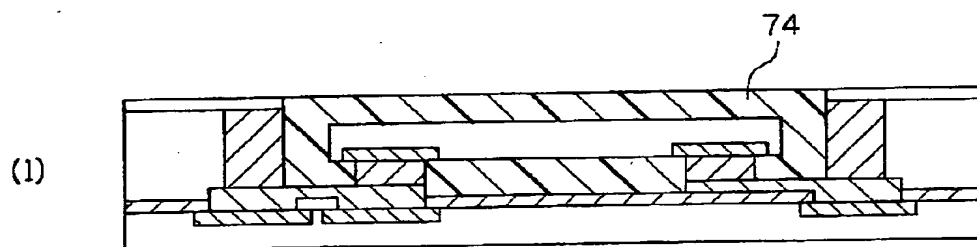
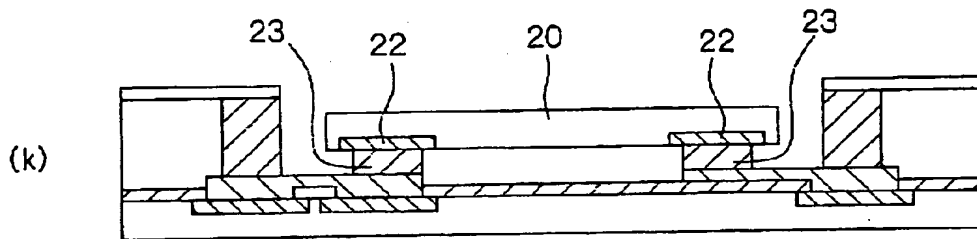
【図 1 8】



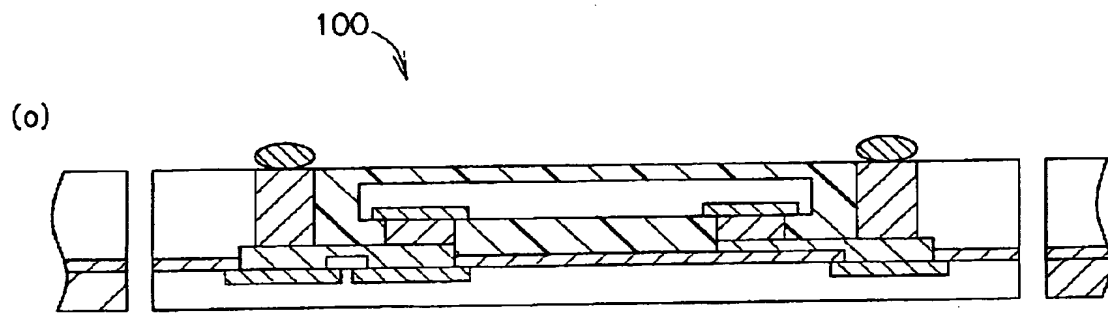
【図 1 9】



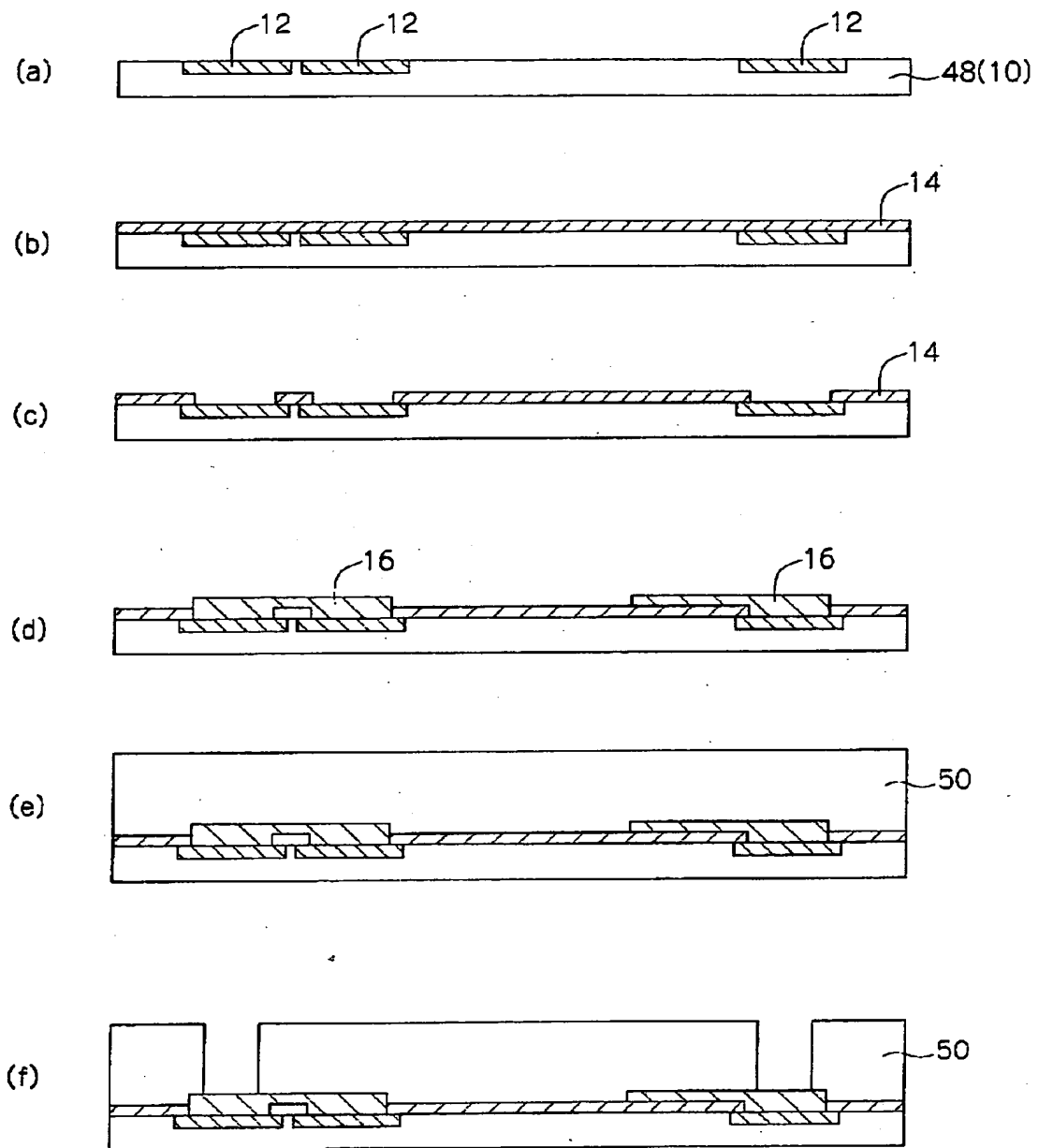
【図 2 0】



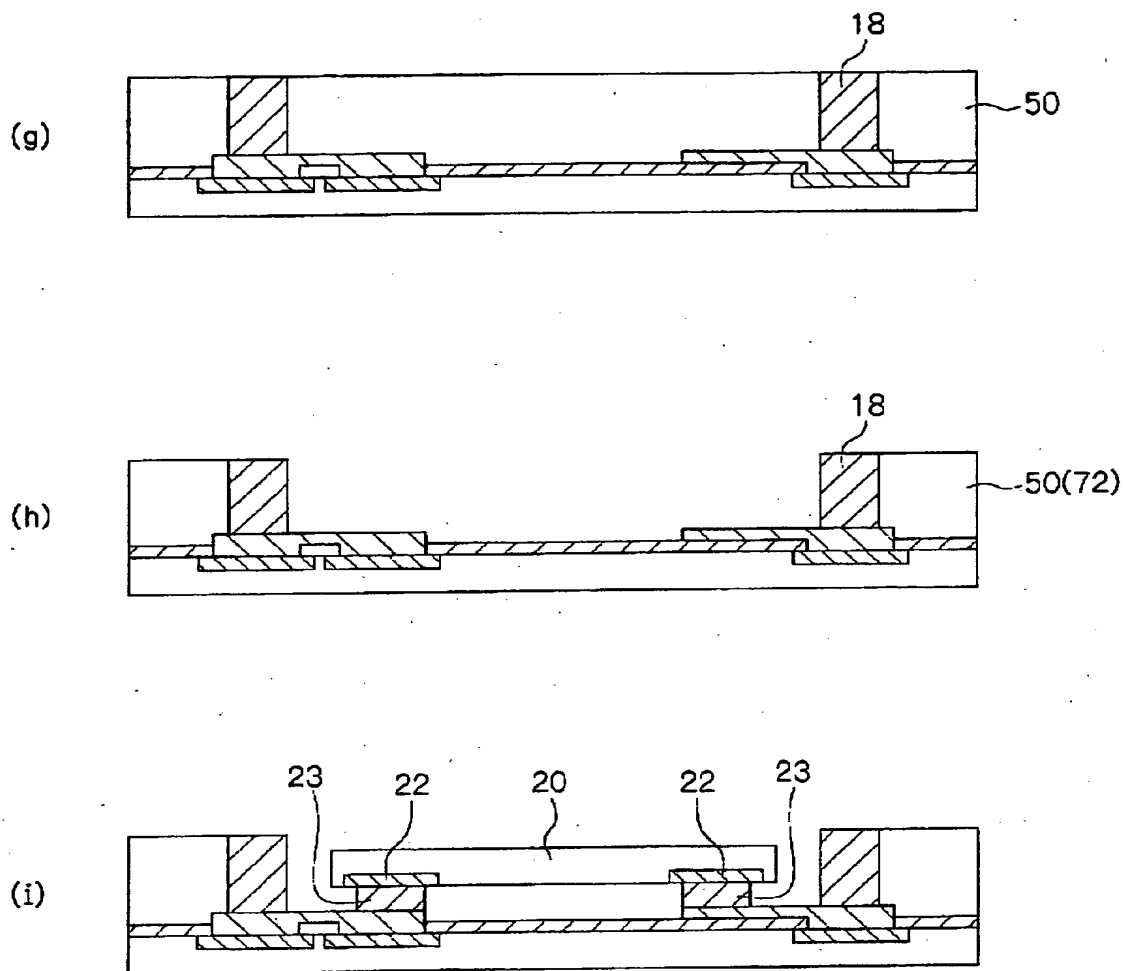
【図 2 1】



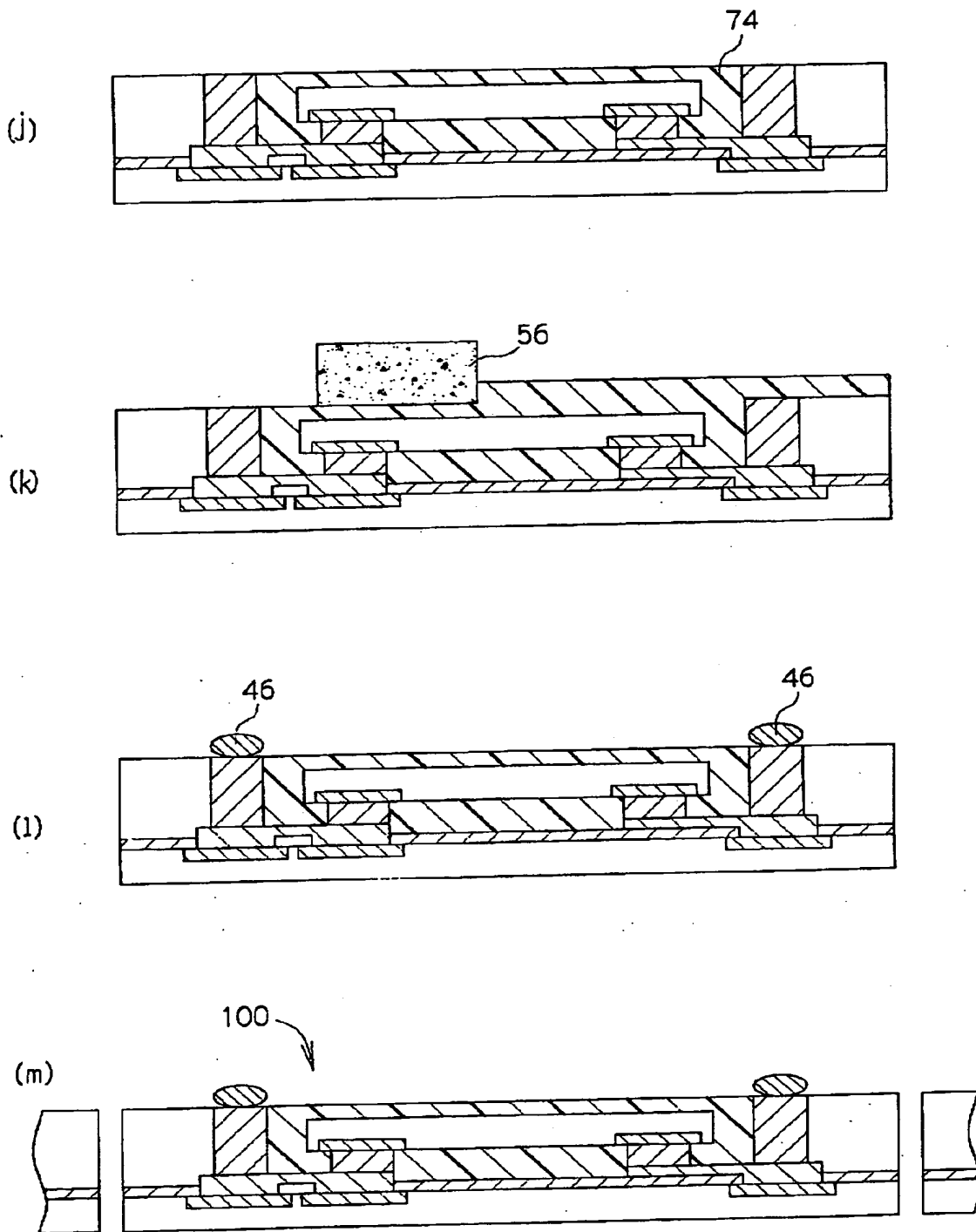
【図 2 2】



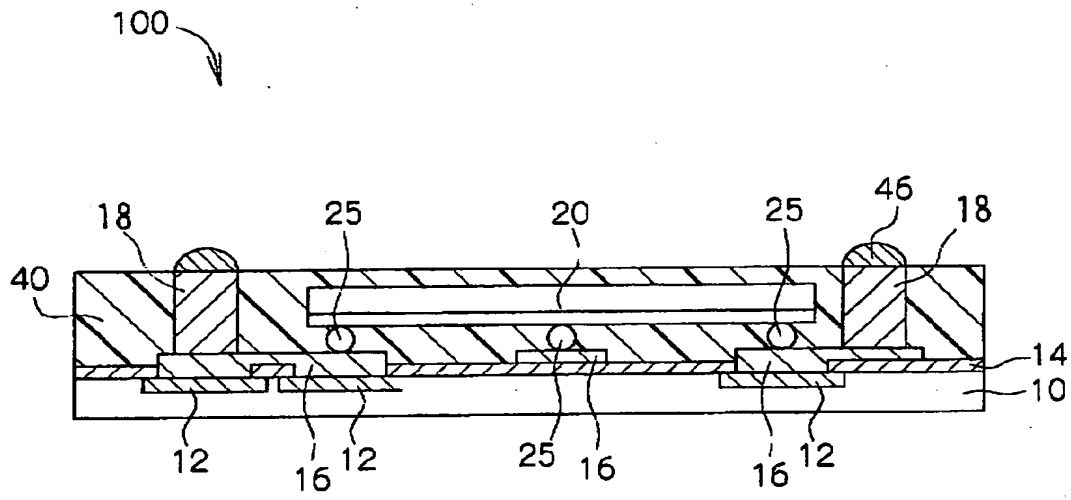
【図 2 3】



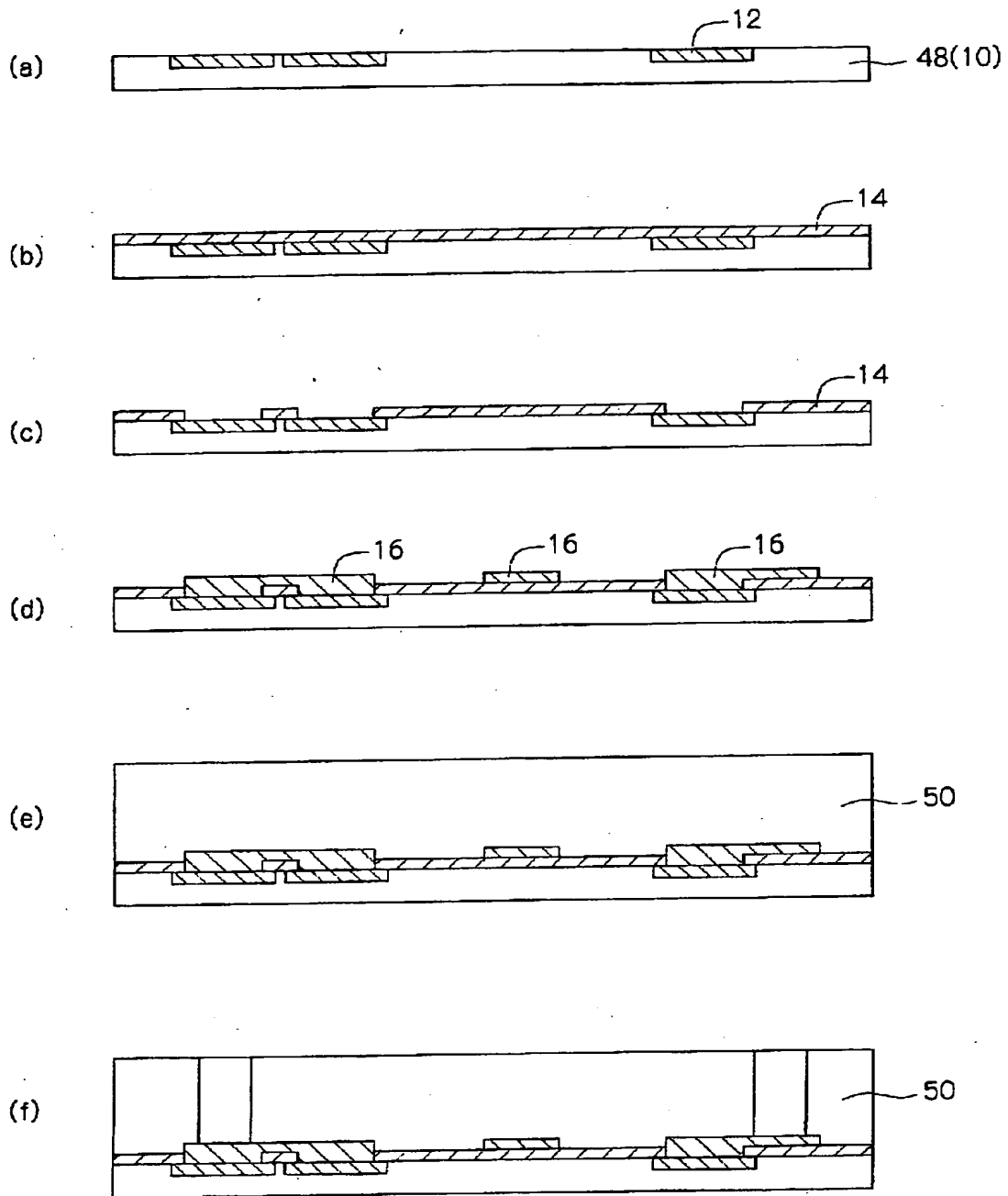
【図 2 4】



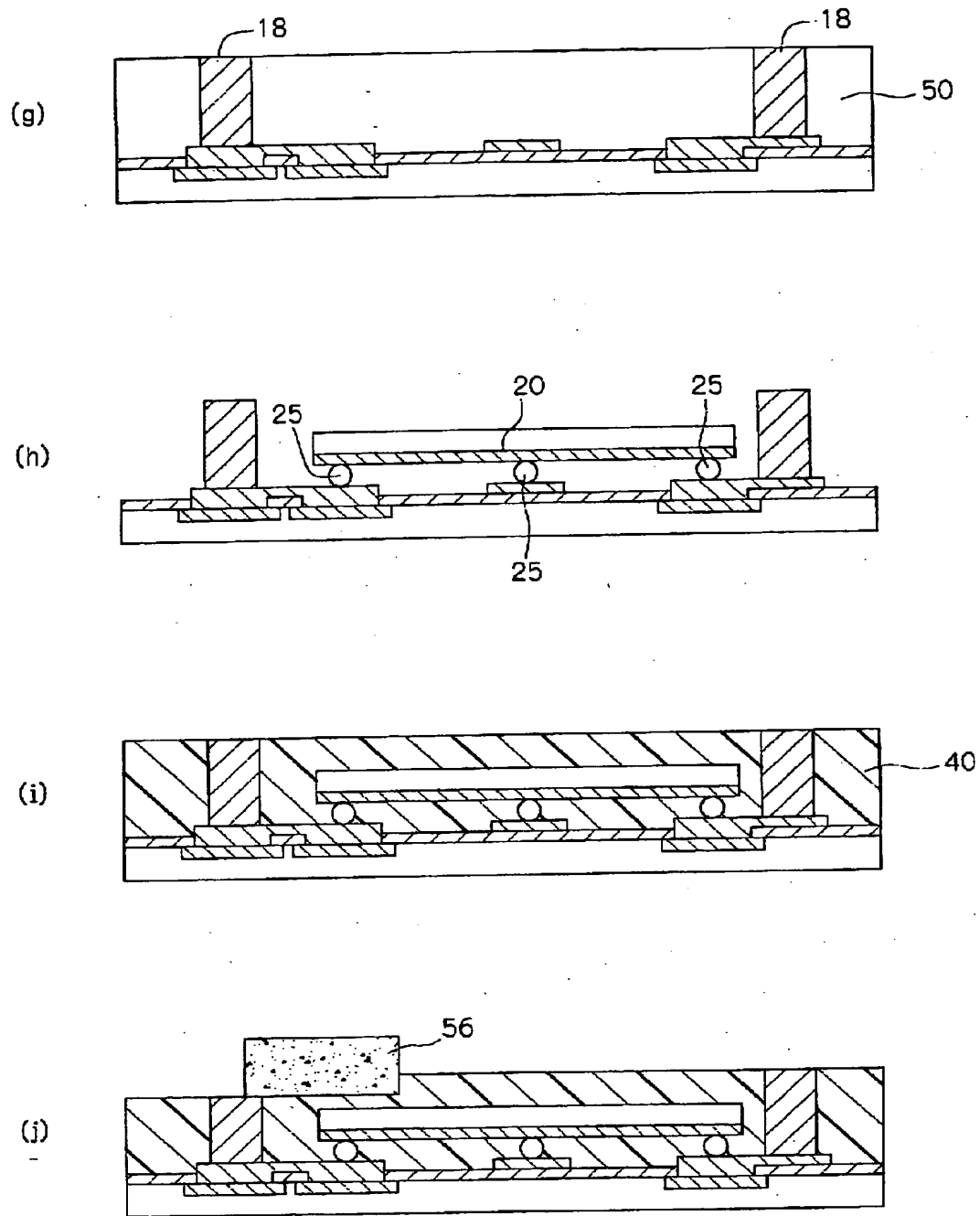
【図 2 5】



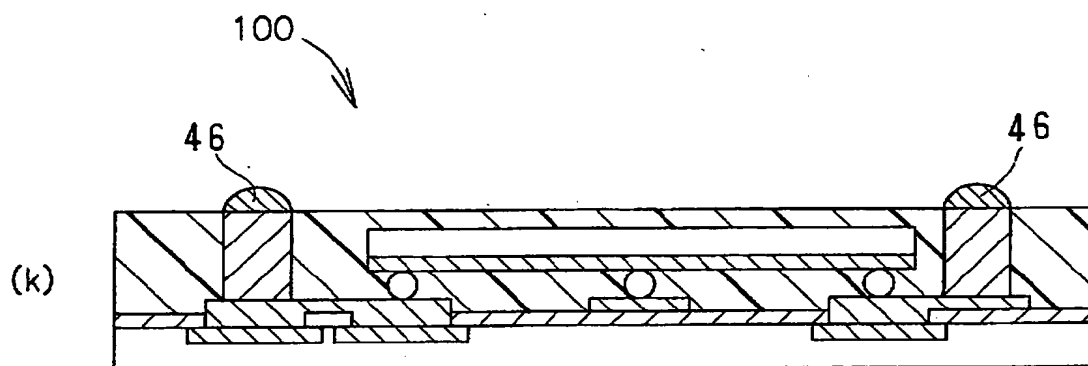
【図 2 6】



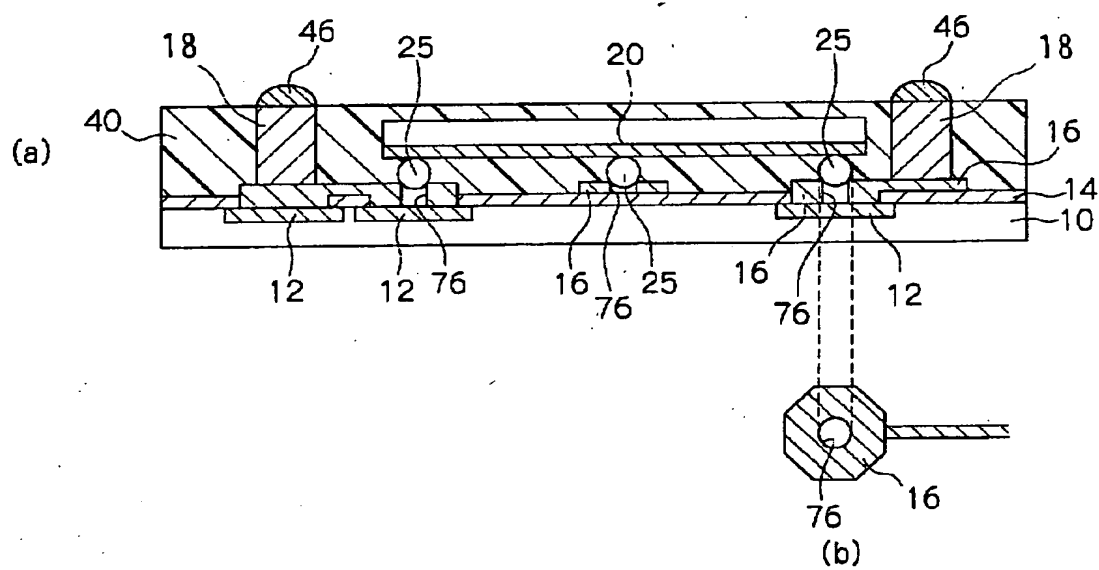
【図 2 7】



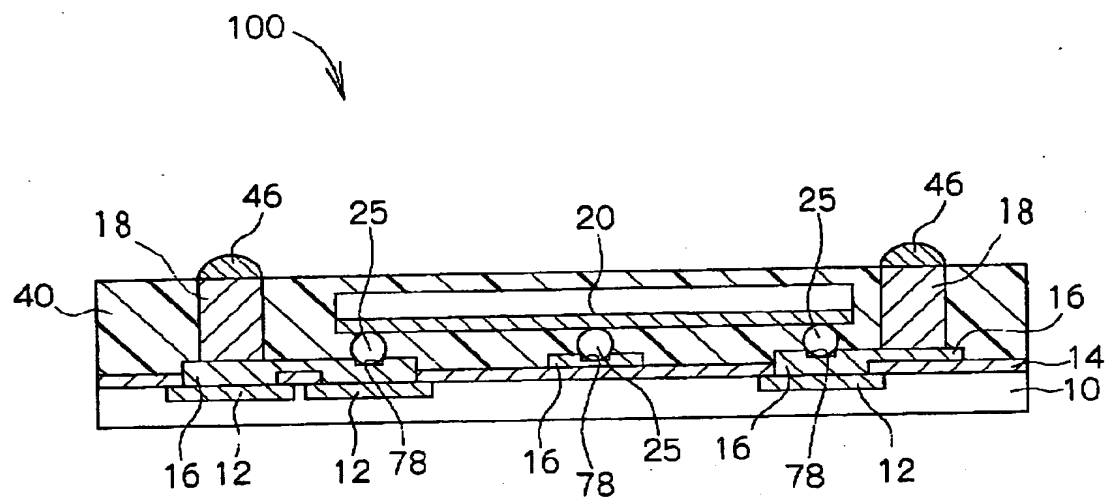
【図 28】



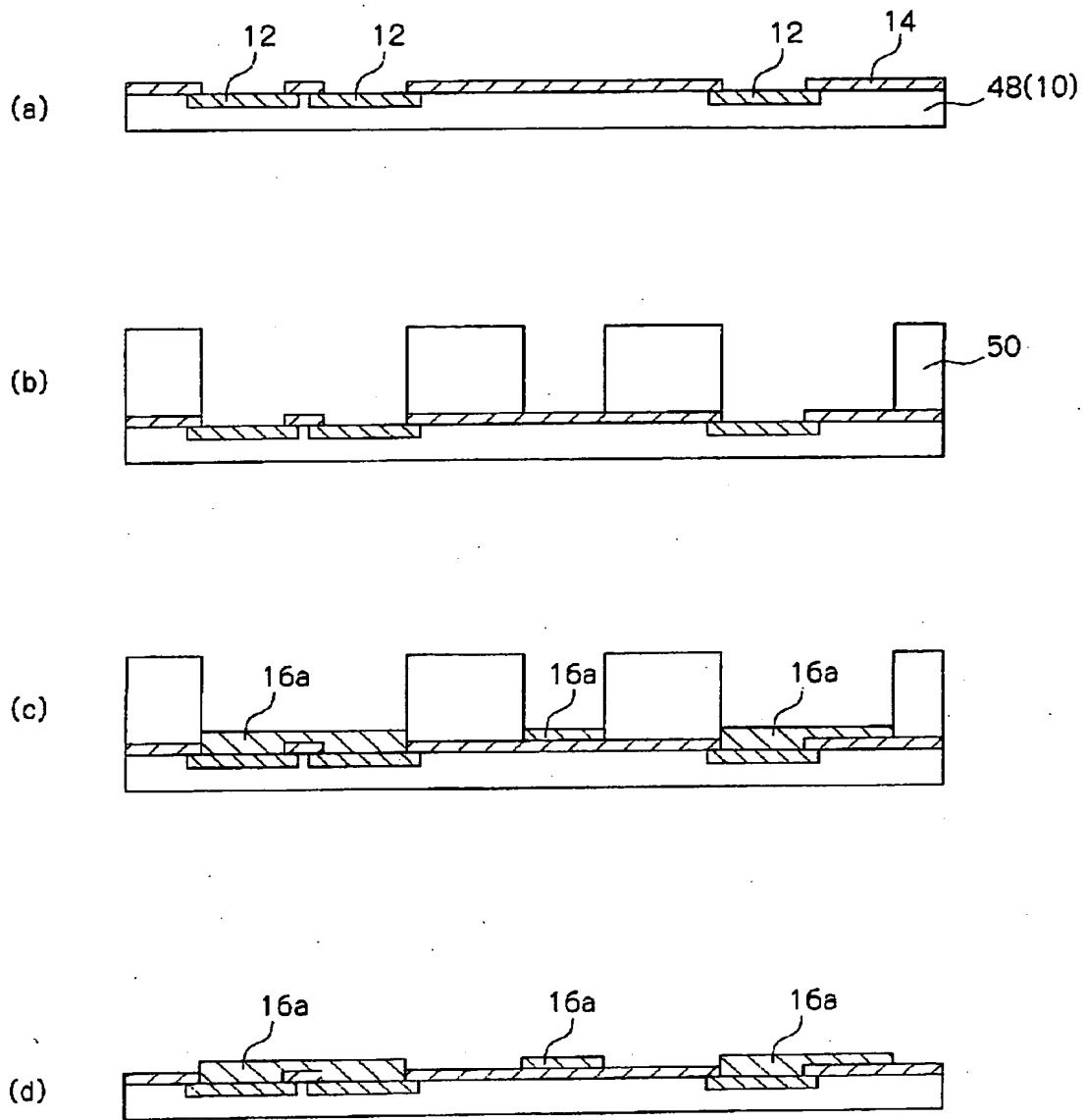
【図 29】



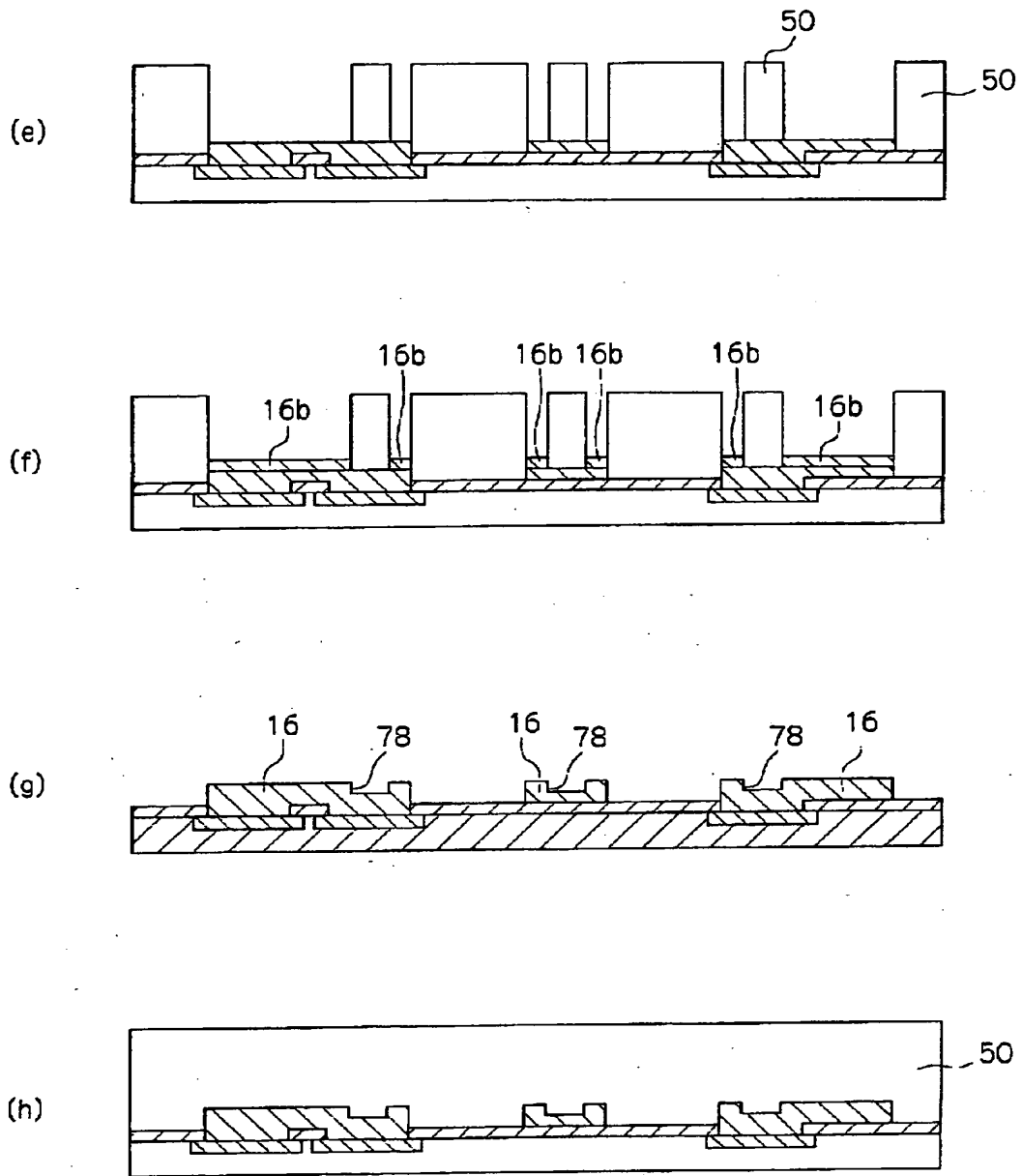
【図 3 0】



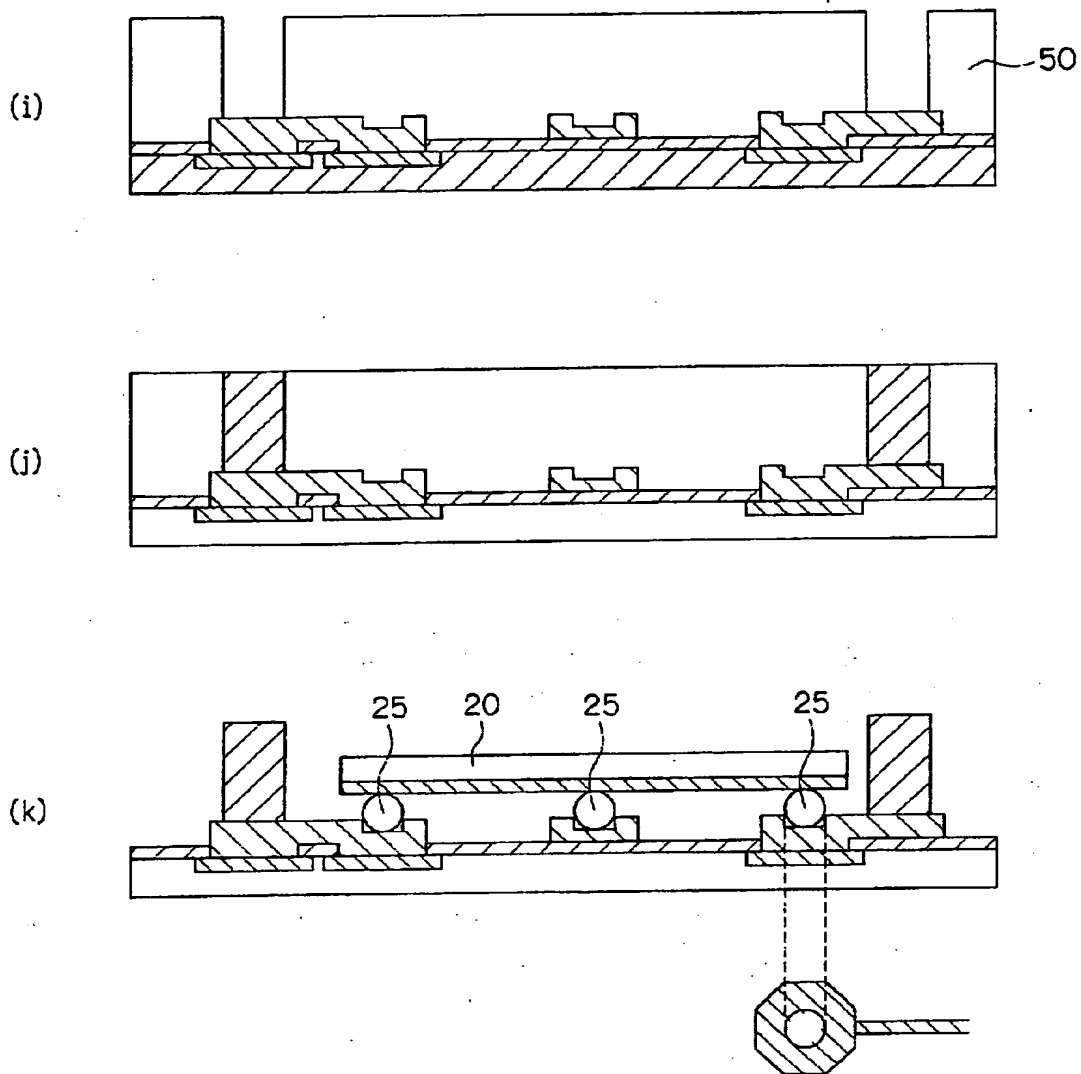
【図 3 1】



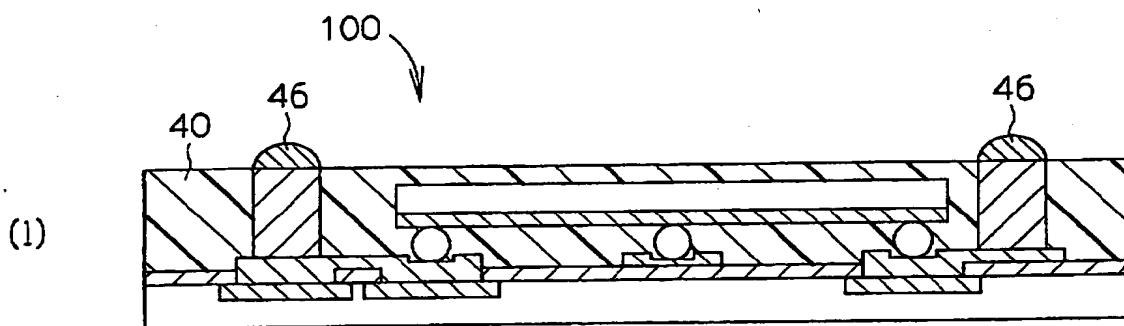
【図 3 2】



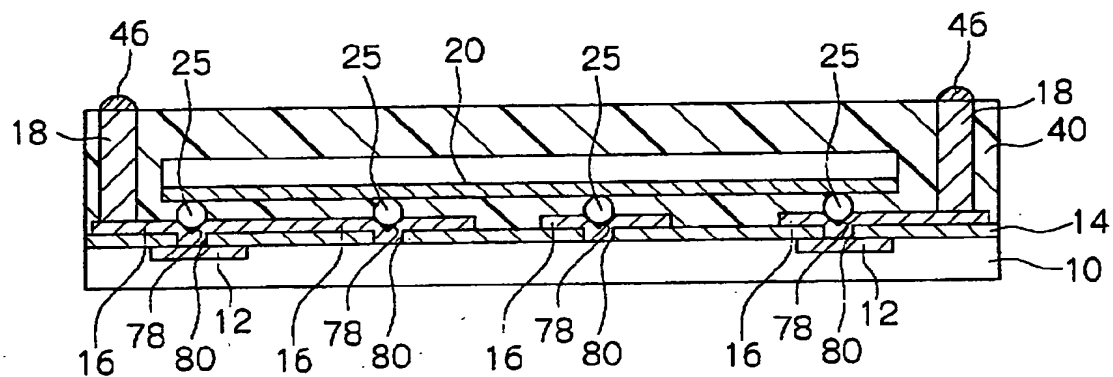
【図 3 3】



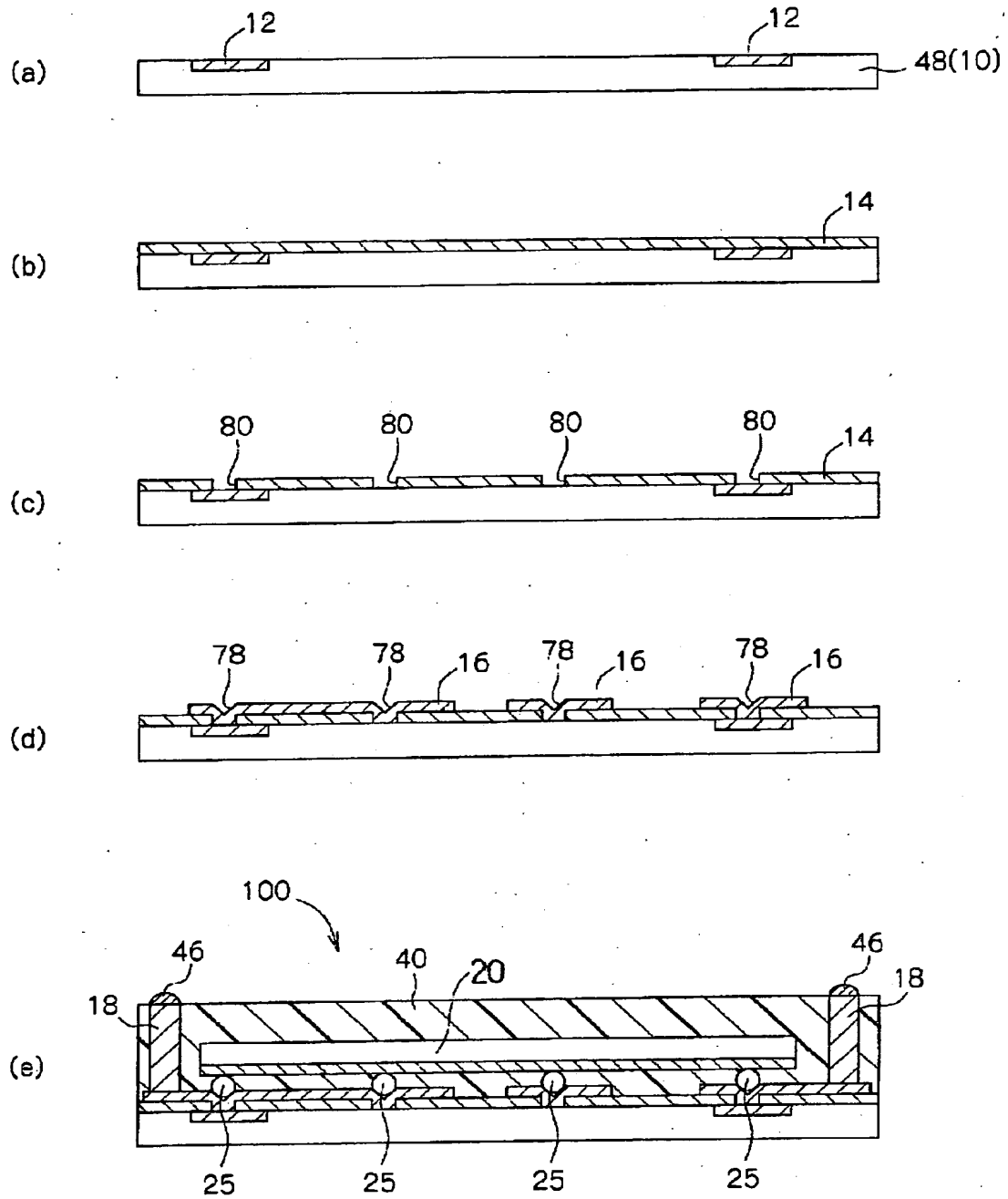
【図 3 4】



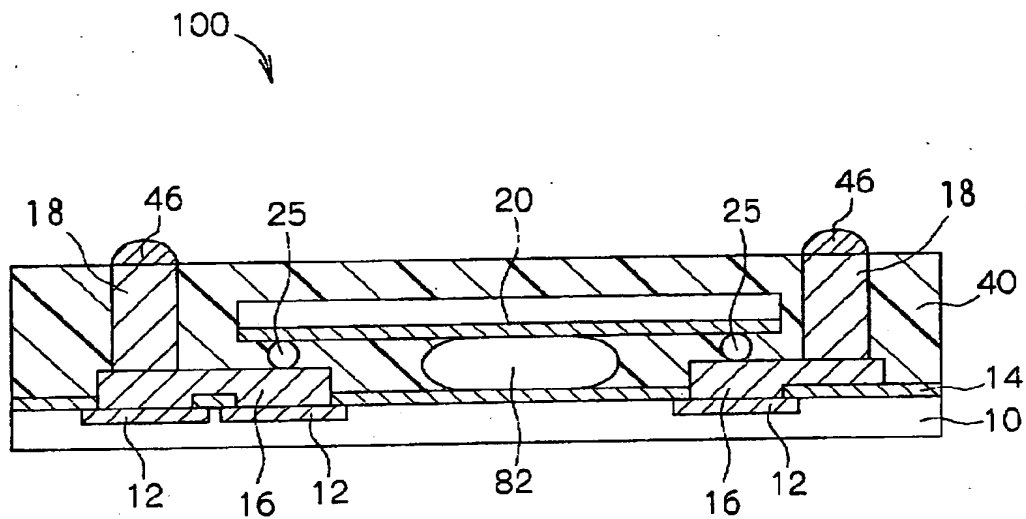
【図 3 5】



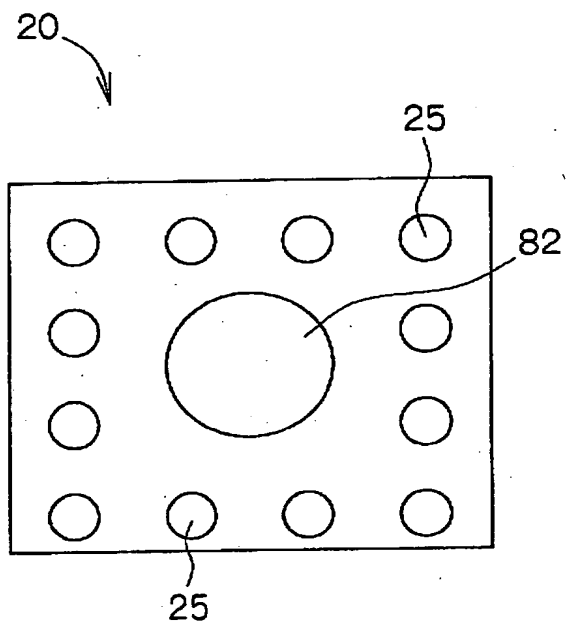
【図 36】



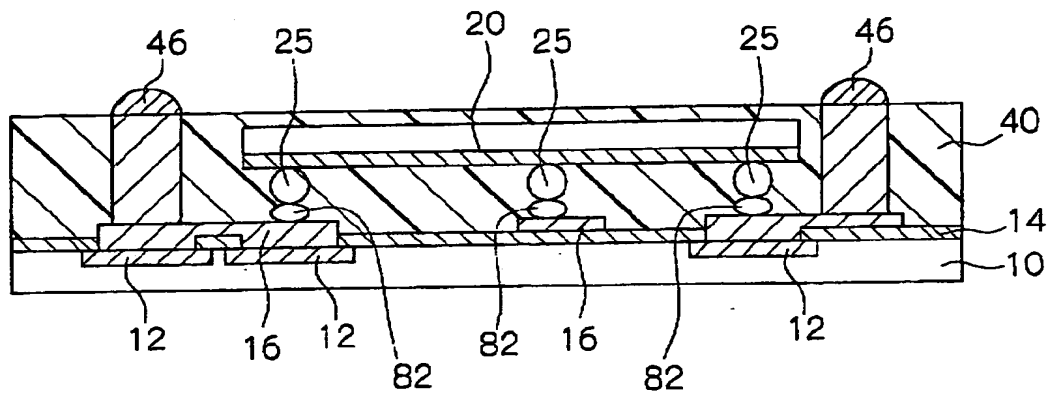
【図 3 7】



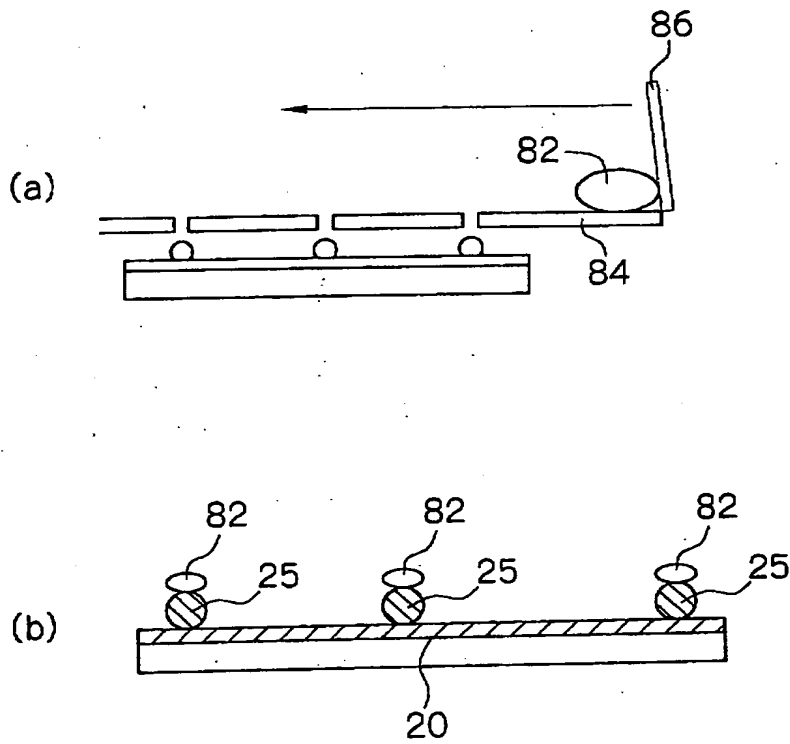
【図 3 8】



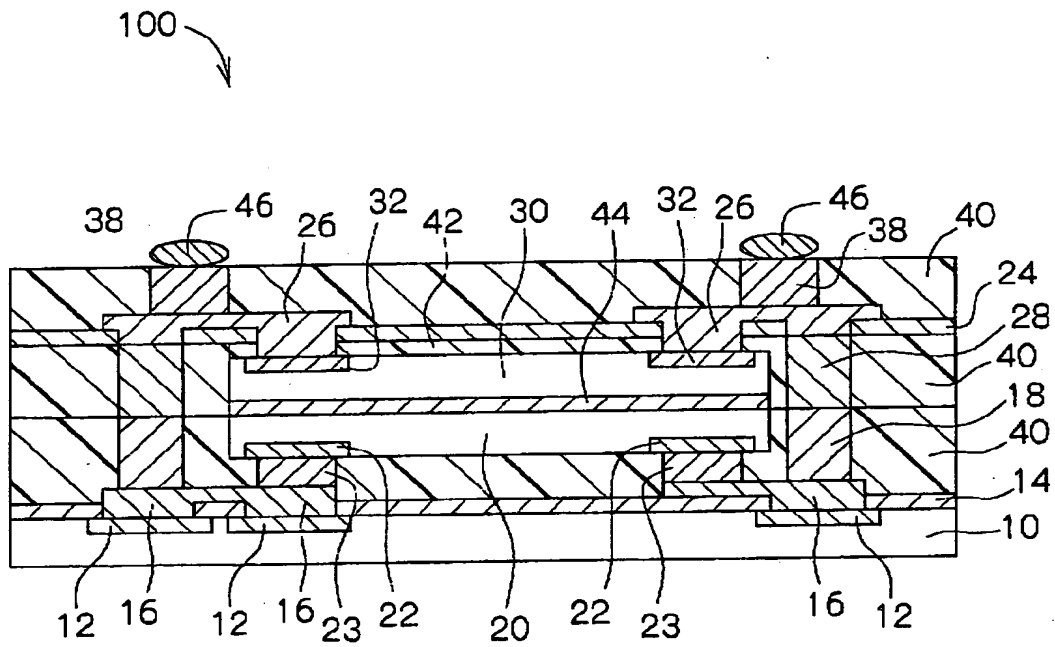
【図 3 9】



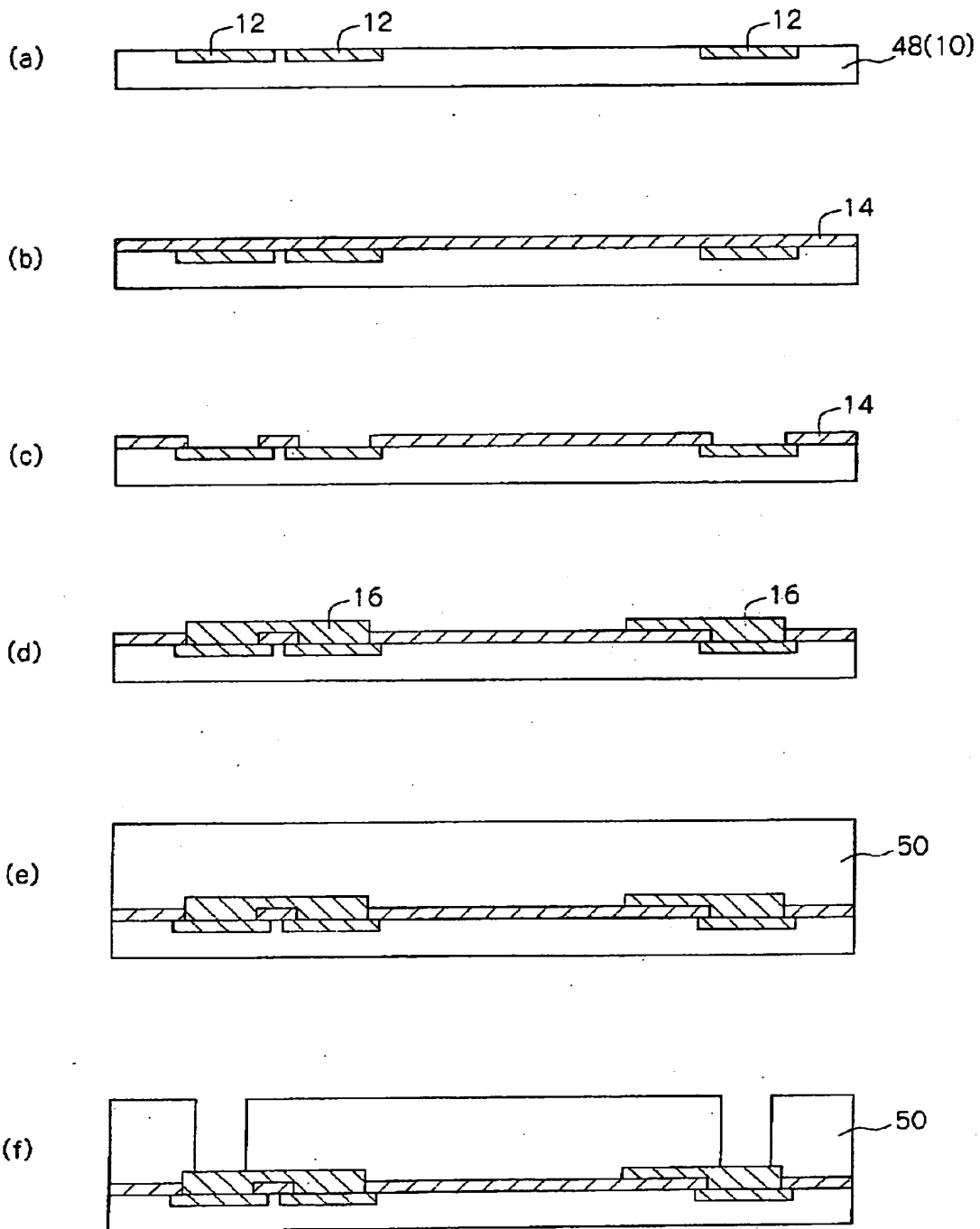
【図 4 0】



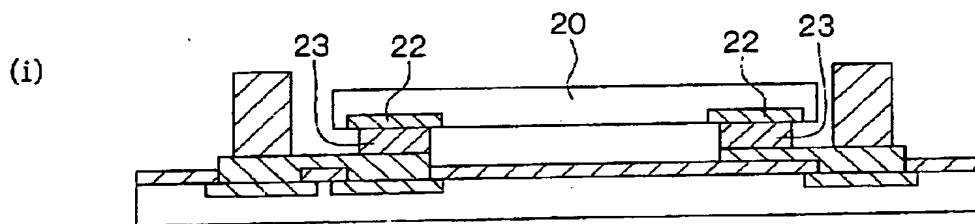
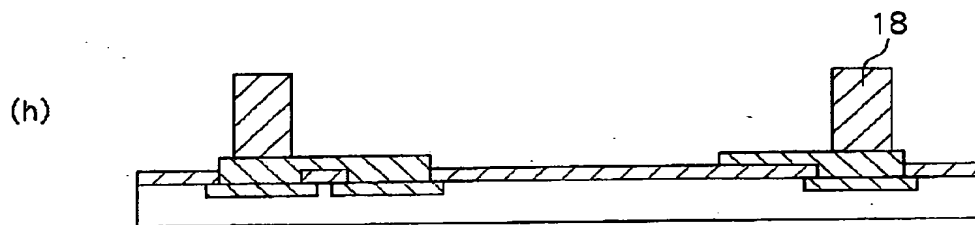
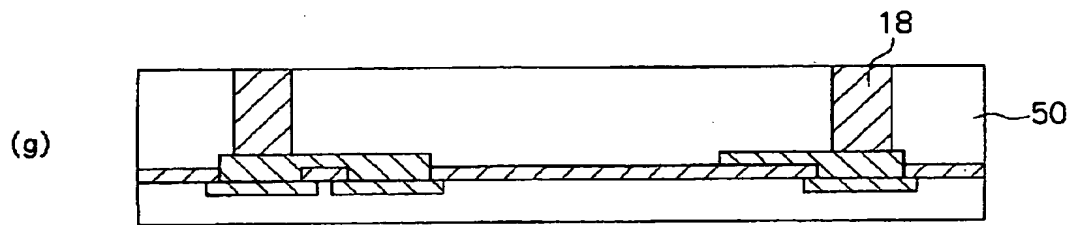
【図 4 1】



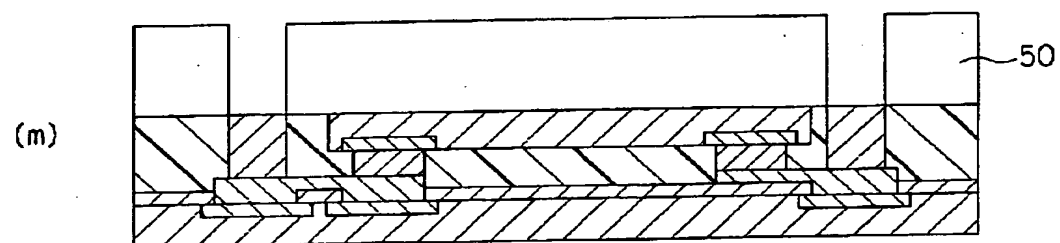
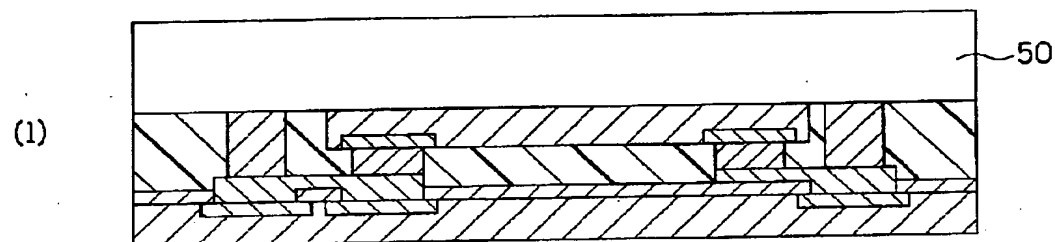
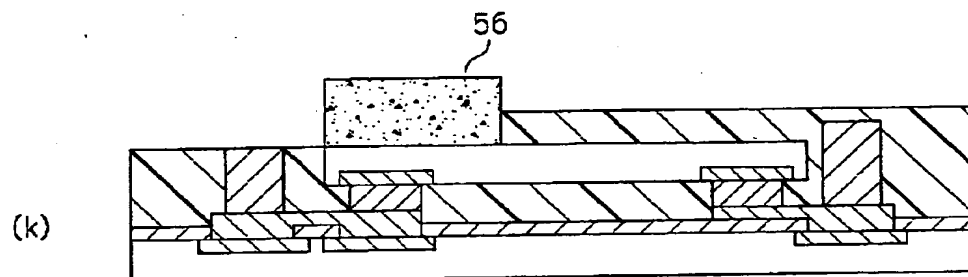
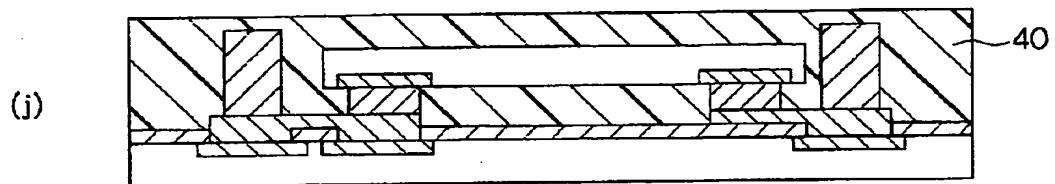
【図 4 2】



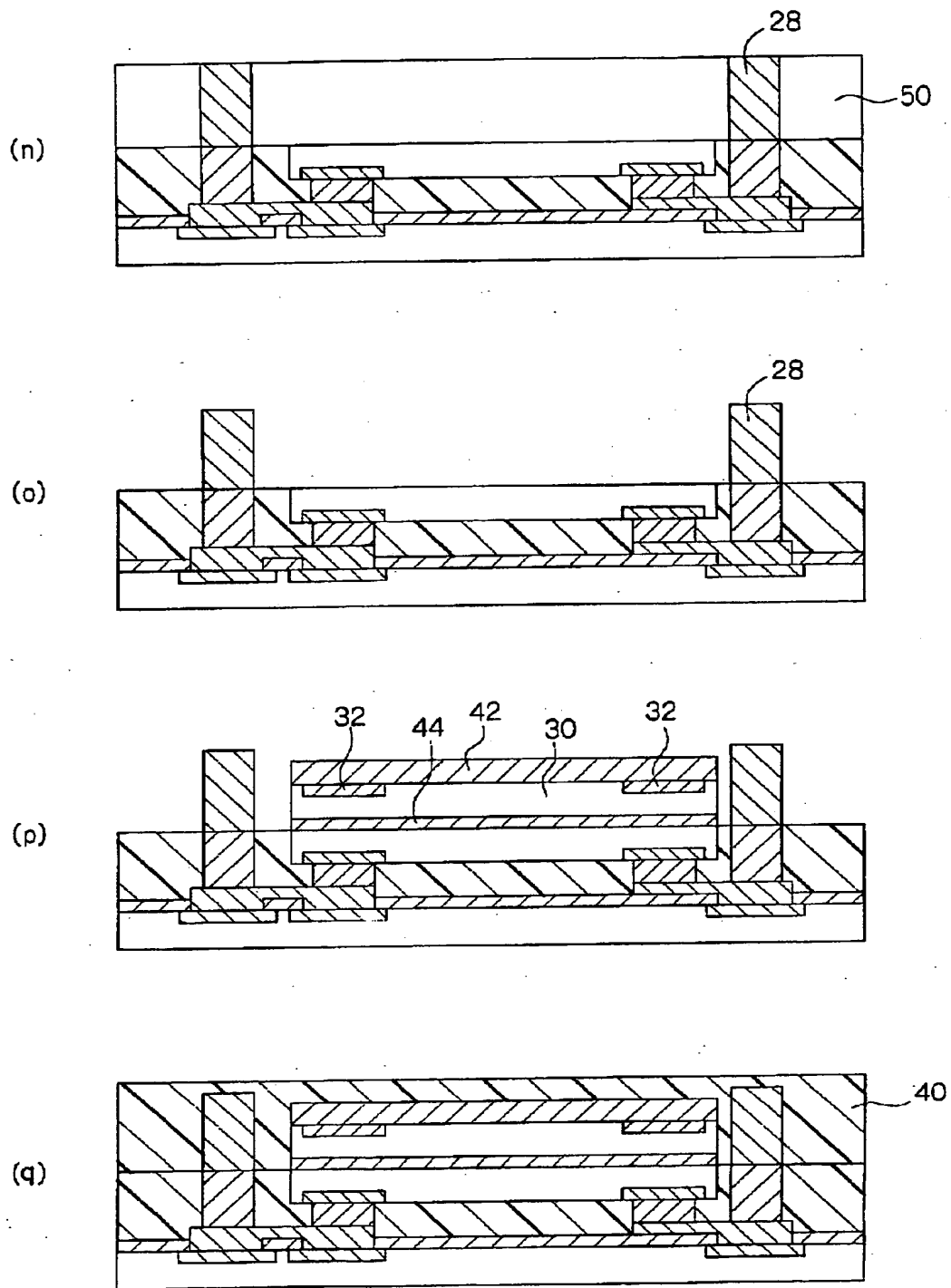
【図 4 3】



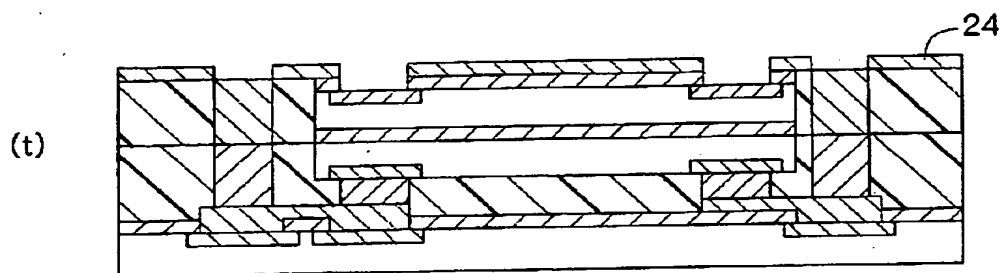
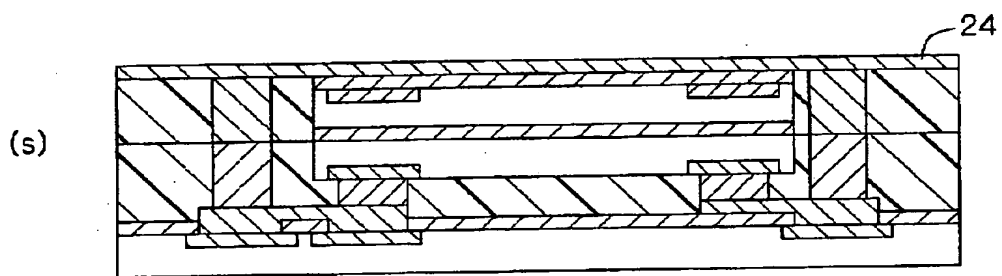
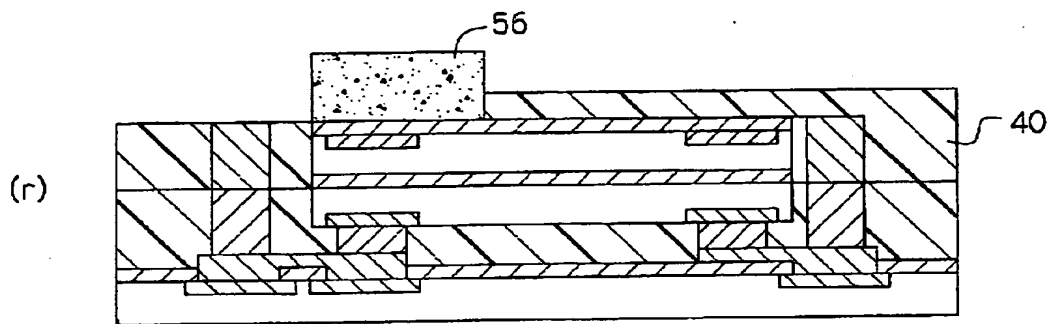
【図 4 4】



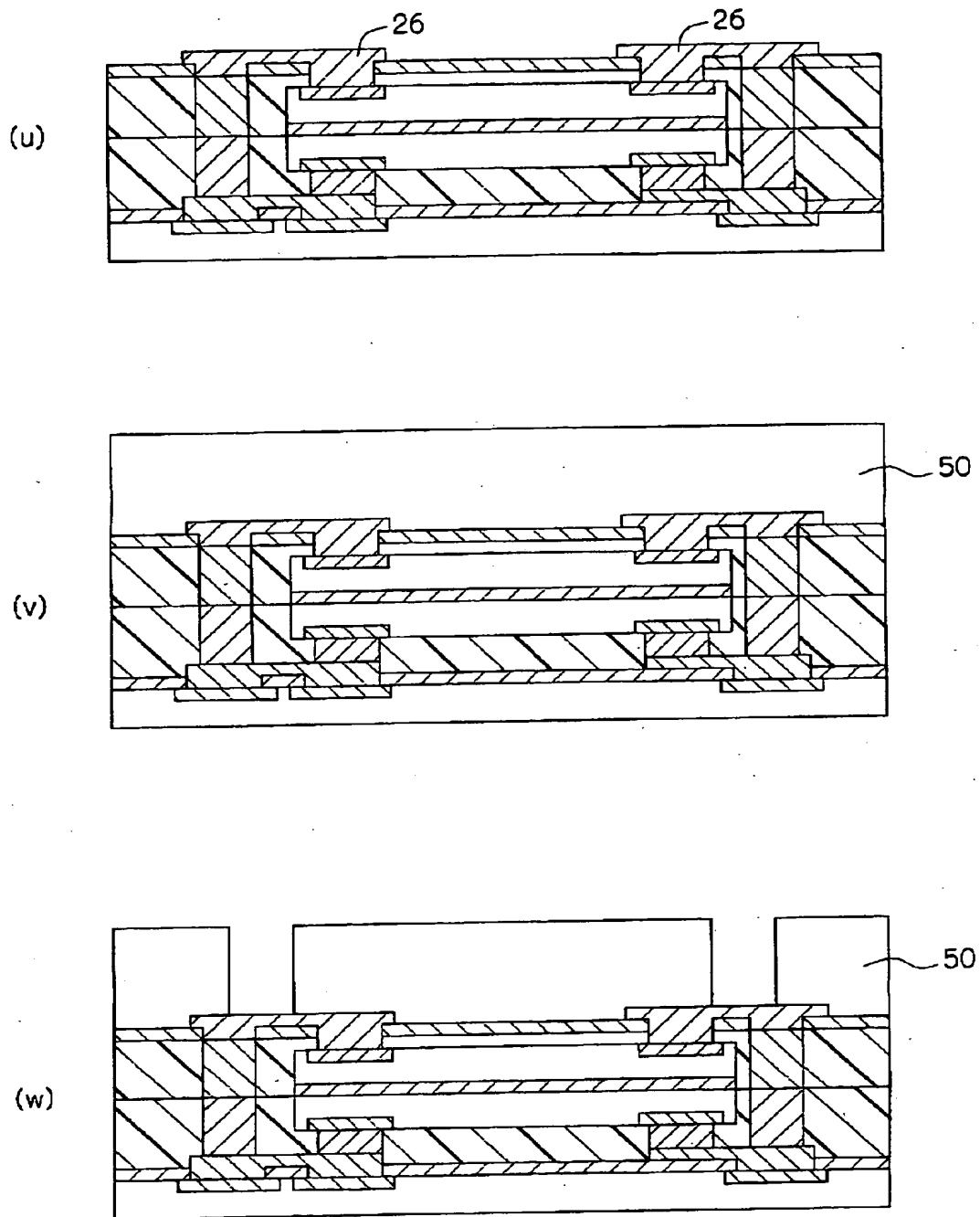
【図 4 5】



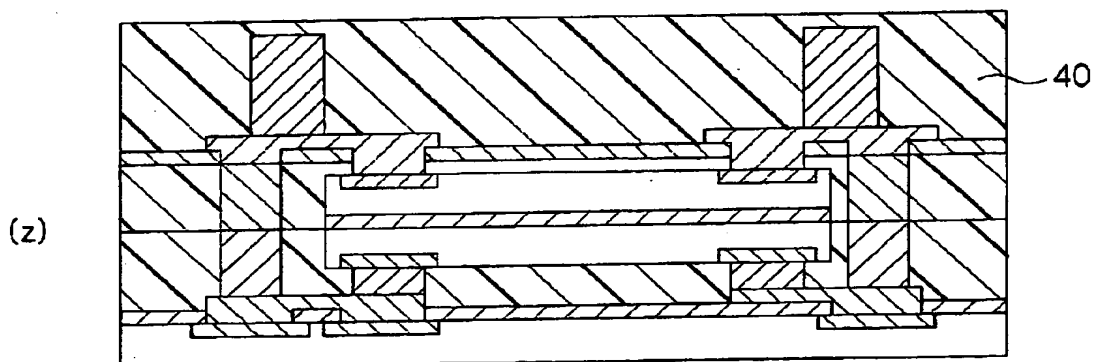
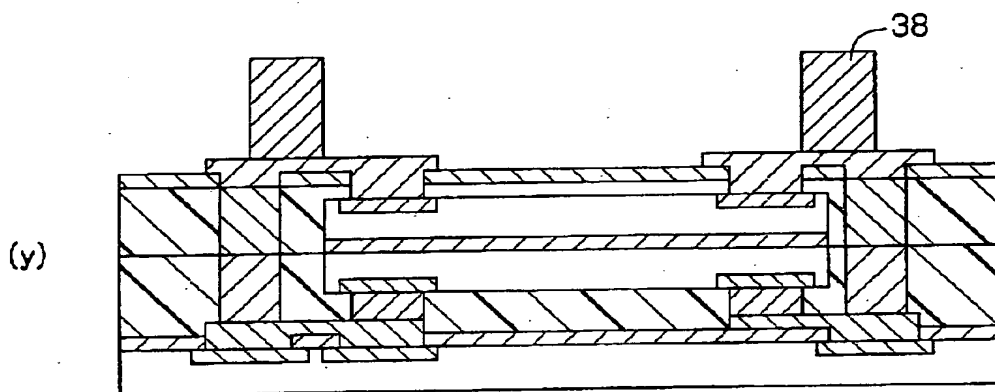
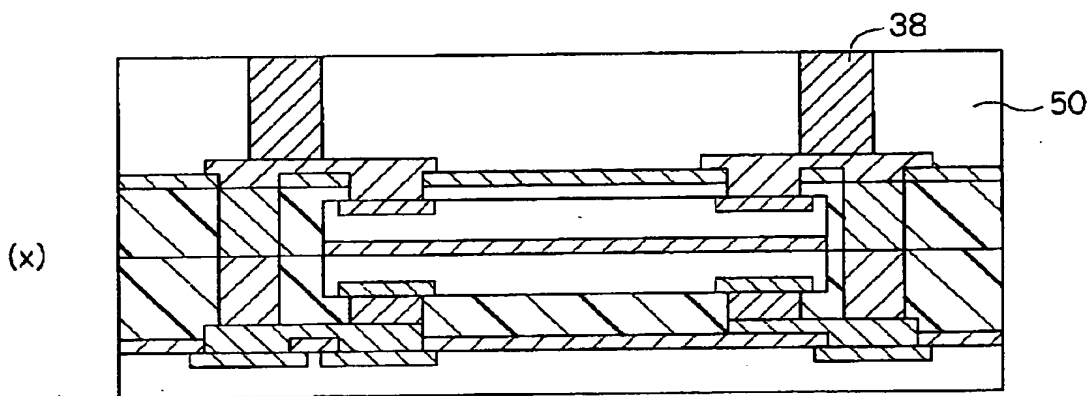
【図 4 6】



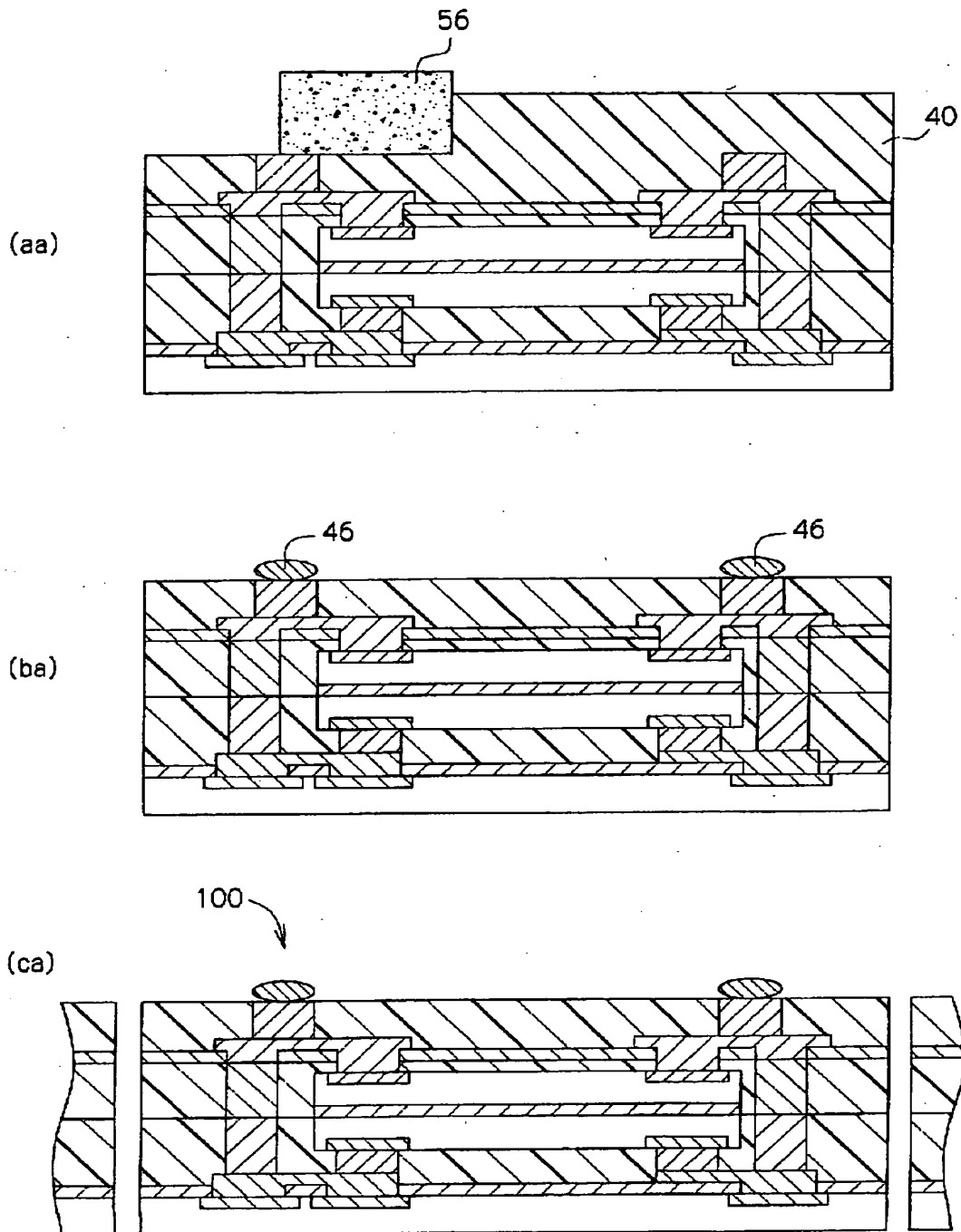
【図 4 7】



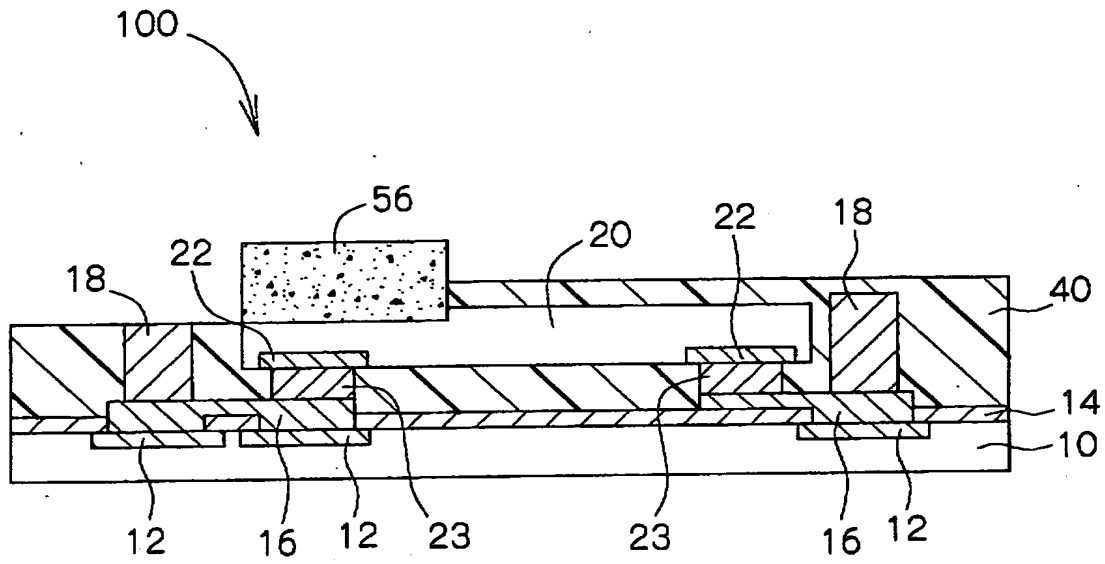
【図 48】



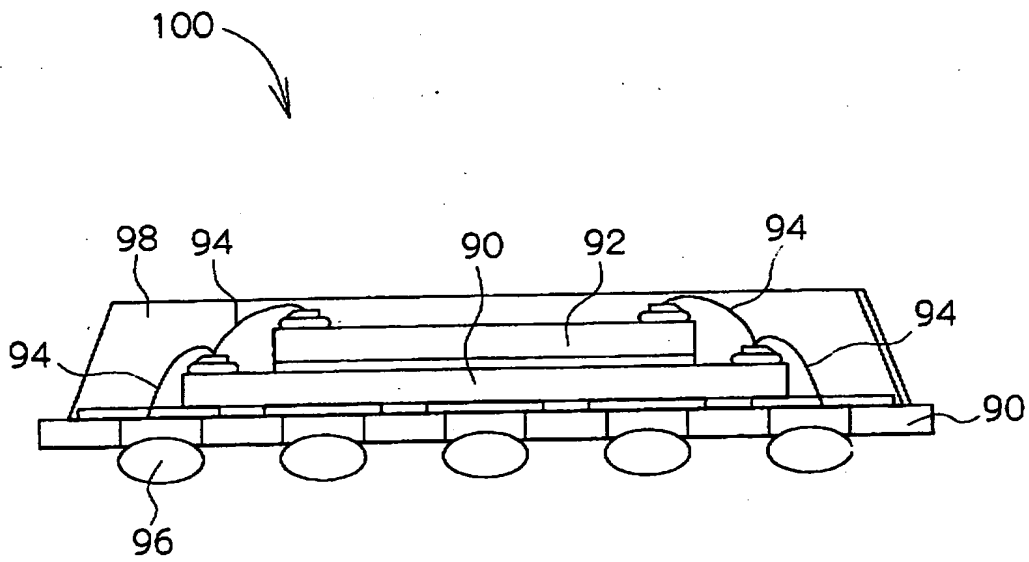
【図 49】



【図 50】



【図 51】



【書類名】 要約書

【要約】

【課題】 実装面積の小面積化を図ったマルチチップ化した半導体装置、及びその製造方法を提供すること。

【解決手段】 集積回路が形成された表面及び裏面を有し、積層された複数の半導体チップ（1 s t 半導体チップ 1 0、2 n d 半導体チップ）と、複数の半導体チップの集積回路間を電氣的に接続する第 1 の配線（再配線層 1 6、2 6、メタルポスト配線 1 8、2 8）と、第 1 の配線と電氣的に接続された外部端子（ボール電極 4 6）と、複数の半導体チップ及び前記第 1 の配線を封止する封止樹脂（封止樹脂 4 0）と、を備える半導体装置、及びその製造方法である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社